

日本国特許庁
JAPAN PATENT OFFICE

#cl
U.S. PRO
09/905542
07/13/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 7月14日

CERTIFIED COPY OF
PRIORITY DOCUMENT

出願番号
Application Number:

特願2000-214087

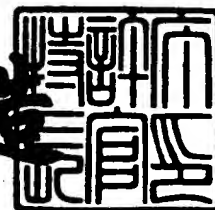
出願人
Applicant(s):

株式会社半導体エネルギー研究所

2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3044313

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 特許願

【整理番号】 P005077

【提出日】 平成12年 7月14日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 △ひろ▽木 正明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 佐藤 英司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小野谷 茂

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 井上 昇

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【書類名】 明細書

【発明の名称】 半導体表示装置及び半導体表示装置の駆動方法

【特許請求の範囲】

【請求項 1】

複数の画素 T F T と、複数の画素電極と、対向電極と、フレームレート変換部とを有する半導体表示装置において、

前記複数の画素 T F T を介して前記複数の画素電極に表示信号が入力されており、

前記複数の画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置。

【請求項 2】

複数の画素 T F T と、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置。

【請求項 3】

複数の画素 T F T と、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置。

【請求項 4】

複数の画素 T F T と、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置。

【請求項 5】

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

前記前記 1 つの R A M、または前記複数の R A M のいずれか 1 つへの映像信号の書き込みと

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 6】

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映

像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は、共に D / A 変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され、

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 7】

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され、

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

前記画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目

に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 8】

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共に D / A 変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され、

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

前記画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 9】

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き

込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記複数のソース信号線及び前記画素 T F T を介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 1 0】

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は、共に D / A 変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した2つの表示信号が生成され

前記生成された表示信号は前記複数のソース信号線及び前記画素TFTを介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号を書き込む期間は、前記書き込まれた映像信号が1回目に読み出される期間及び2回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項11】

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素TFTと、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は1つまたは複数のRAMを有しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号が書き込まれ、

前記1つのRAM、または前記複数のRAMのいずれか1つに書き込まれた映像信号は2回ずつ読み出され、

前記1つのRAM、または前記複数のRAMのいずれか1つから2回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した2つの表示信号が生成され

前記生成された表示信号は前記画素TFTを介して前記画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示

信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 1 2】

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は、共に D / A 変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 1 3】

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線

と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 1 4】

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は、共に D / A 変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置。

【請求項 1 5】

請求項 5 乃至請求項 1 4 のいずれか 1 項において、前記 R A M は S D R A M であることを特徴とする半導体表示装置。

【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の前記半導体表示装置を用いたコンピュータ。

【請求項 1 7】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の前記半導体表示装置を用いたビデオカメラ。

【請求項 1 8】

請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の前記半導体表示装置を用いた DVD プレーヤー。

【請求項 1 9】

複数の画素 T F T と、複数の画素電極と、対向電極と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数の画素 T F T を介して前記複数の画素電極に表示信号が入力されており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の極性を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法。

【請求項 2 0】

複数の画素 T F T と、複数の画素電極と、対向電極と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数の画素 T F T を介して前記複数の画素電極に表示信号が入力されており、

前記複数の画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法。

【請求項 2 1】

複数の画素 T F T と、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前

記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法。

【請求項 2 2】

複数の画素 T F T と、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法。

【請求項 2 3】

複数の画素 T F T と、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶、EL（エレクトロルミネッセンス）等の表示媒体を用いた半導体表示装置に好適な駆動方法及び、上記駆動方法を用いて表示を行う半導体表示装置に関する。また前記半導体表示装置を用いた電子機器に関する。

【0002】

【従来の技術】

近年、絶縁性基板上に半導体薄膜を用いて形成された素子、例えば薄膜トランジスタ（TFT）を作製する技術が急速に発達している。その理由は、半導体表示装置（代表的には、アクティブマトリクス型液晶表示装置）の需要が高まってきたことによる。

【0003】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素にかかる電荷を、TFTで構成された画素のスイッチング素子（画素TFT）により制御して、画像を表示するものである。

【0004】

なお、本明細書中における画素とは、スイッチング素子と、前記スイッチング

素子に接続された画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた受動素子（液晶、エレクトロルミネッセンス）とで主に構成されている。

【0005】

以下に図26を用いて、アクティブマトリクス型液晶表示装置が有する液晶パネルの表示動作の代表的な例を簡単に説明する。図26（A）は、液晶パネルの上面図であり、図26（B）は画素の配置を示した図である。

【0006】

ソース信号線駆動回路701とソース信号線S1～S6とが接続されている。またゲート信号線駆動回路702とゲート信号線G1～G4とが接続されている。そしてソース信号線S1～S6とゲート信号線G1～G4とで囲まれている部分に画素703が複数設けられている。画素703には画素TFT704と画素電極705とが設けられている。なおソース信号線とゲート信号線の数はこの値に限定されない。

【0007】

ソース信号線駆動回路701にはパネルの外部に設けられたIC（図示せず）から映像信号が入力されている。

【0008】

ソース信号線駆動回路701に入力された映像信号はサンプリングされて、表示信号としてソース信号線S1に入力される。またゲート信号線駆動回路702からゲート信号線G1に入力される選択信号によってゲート信号線G1が選択され、ゲート信号線G1にゲート電極が接続された全ての画素TFT704がオンの状態になる。そしてソース信号線S1に入力された表示信号が、画素TFT704を介して画素（1、1）の画素電極705に入力される。この入力された表示信号の電位により液晶を駆動し、透過光量を制御して、画素（1、1）に画像の一部（画素（1、1）に相当する画像）が表示される。

【0009】

次に、画素（1、1）に画像が表示された状態を保持容量（図示せず）等で保持したまま、次の瞬間には、ソース信号線駆動回路701に入力された映像信号がサンプリングされて、表示信号としてソース信号線S2に入力される。なお保

持容量とは、画素 T F T 7 0 4 のゲート電極に入力された表示信号の電位を一定の期間保持するための容量である。

【 0 0 1 0 】

ゲート信号線 G 1 は選択されたままであり、ゲート信号線 G 1 とソース信号線 S 2 とが交差している部分の画素 (1 , 2) の画素 T F T 7 0 4 はオンの状態である。そしてソース信号線 S 2 に入力された表示信号が、画素 T F T 7 0 4 を介して画素 (1 , 2) の画素電極 7 0 5 に入力される。この入力された表示信号の電位により液晶を駆動し、透過光量を制御して、画素 (1 , 1) と同様に、画素 (1 , 2) に画像の一部 (画素 (1 , 2) に相当する画像) が表示される。

【 0 0 1 1 】

このような表示動作を順次行い、ゲート信号線 G 1 に接続されている全ての画素 (1 , 1) (1 , 2) (1 , 3) (1 , 4) (1 , 5) (1 , 6) に画像の一部を次々と表示する。この間、ゲート信号線 G 1 に入力されている選択信号によって、ゲート信号線 G 1 は選択され続けている。

【 0 0 1 2 】

ゲート信号線 G 1 に接続されている画素の全てに表示信号が入力されると、ゲート信号線 G 1 は選択されなくなる。引き続いて、ゲート信号線 G 2 に入力される選択信号によって、ゲート信号線 G 2 が選択される。そしてゲート信号線 G 2 に接続されている全ての画素 (2 , 1) (2 , 2) (2 , 3) (2 , 4) (2 , 5) (2 , 6) に画像の一部を次々と表示する。この間、ゲート信号線 G 2 は選択され続けている。

【 0 0 1 3 】

上述した動作を全てのゲート信号線において順次繰り返すことにより、画素部 7 0 6 に一つの画像を表示する。この一つの画像が表示される期間を 1 フレーム期間と呼ぶ。画素部 7 0 6 に一つの画像が表示される期間と、垂直帰線期間とを合わせて 1 フレーム期間としても良い。そして全ての画素は、再び各画素の画素 T F T がオンの状態になるまで、画像が表示された状態を保持容量 (図示せず) 等で保持している。

【 0 0 1 4 】

【発明が解決しようとする課題】

通常スイッチング素子としてTFT等を用いた液晶パネルでは、液晶の劣化を防ぐために、各画素へ入力する信号の電位の極性を、対向電極の電位（対向電位）を基準として反転（交流化駆動）させる。交流化駆動の方法としては、フレーム反転駆動、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動が挙げられる。以下に、各駆動方法について説明する。

【0015】

図27（A）にフレーム反転駆動において各画素に入力される表示信号の極性のパターン（以下、単に極性パターンと呼ぶ）を示す。なお、本明細書中の極性パターンを示した図〔図27、図6、図7、図8、図9〕では、対向電位を基準として、画素に入力される表示信号の電位が正である場合は「+」で図示し、負である場合は「-」で示している。また図27に示した極性パターンは、図26（B）に示した画素の配置と対応している。

【0016】

なお本明細書において、正の極性を有する表示信号とは、対向電位よりも高い電位を有する表示信号を意味する。また負の極性を有する表示信号とは、対向電位よりも低い電位を有する表示信号を意味する。

【0017】

加えて走査方式には、1画面（1フレーム）において、奇数番目のゲート信号線と偶数番目のゲート信号線とで2回（2フィールド）に分けて走査するインターレス走査と、奇数番目と偶数番目のゲート信号線を分け隔てなく順番に走査するノンインターレス走査とがあるが、ここでは主にノンインターレス走査を用いた例で説明する。

【0018】

フレーム反転駆動の特徴は、任意の1フレーム期間内で、全ての画素に同一の極性の表示信号が入力され（極性パターン①）、そして次の1フレーム期間では、全ての画素に入力される表示信号の極性を反転させて表示を行っている（極性パターン②）点である。即ち、極性パターンのみに注目すると2種類の極性パターン（極性パターン①と極性パターン②）が、1フレーム期間ごとに繰り返し表

示される駆動方法である。なお本明細書において、表示信号が画素に入力される
とは、表示信号が画素TFTを介して画素電極に入力されることを意味する。

【0019】

次にソースライン反転駆動について説明する。図27(B)にソースライン反
転駆動における画素の極性パターンを示す。

【0020】

図27(B)で示したように、ソースライン反転駆動の特徴は、任意の1フレ
ーム期間において、同じソース信号線に接続されている全ての画素に同じ極性の
表示信号が入力されており、隣り合うソース信号線に接続されている画素どうし
で逆の極性の表示信号が入力されていることである。なお本明細書において、ソ
ース信号線に接続されている画素とは、ソース信号線にそのソース領域又はドレ
イン領域が接続されている画素TFTを有する画素のことを示している。

【0021】

そして次の1フレーム期間において、各ソース信号線には、直前のフレーム期
間において入力された表示信号とは逆の極性を有する表示信号が入力される。よ
って、任意の1フレーム期間における極性パターンが極性パターン③だったとす
ると、次の1フレーム期間における極性パターンは極性パターン④となる。

【0022】

次に、ゲートライン反転駆動について説明する。ゲートライン反転駆動におけ
る極性パターンを図27(C)に示す。

【0023】

図27(C)で示したように、ゲートライン反転駆動の特徴は、任意の1フレ
ーム期間において、同じゲート信号線に接続されている全ての画素に同じ極性の
表示信号が入力されており、隣り合うゲート信号線に接続されている画素どうし
で逆の極性の表示信号が入力されていることである。なお本明細書において、ゲ
ート信号線に接続されている画素とは、ゲート信号線にそのゲート電極が接続さ
れている画素TFTを有する画素のことを示している。

【0024】

そして次の1フレーム期間において、各ゲート信号線に接続された画素には、

直前のフレーム期間において入力された表示信号とは逆の極性を有する表示信号が入力される。よって、任意の1フレーム期間における極性パターンが極性パターン⑤だったとすると、次の1フレーム期間における極性パターンは極性パターン⑥となる。

【0025】

即ち、上記ソースライン反転駆動と同様に、2種類の極性パターン（極性パターン⑤と極性パターン⑥）が、1フレーム期間ごとに繰り返し表示される駆動方法である。

【0026】

次にドット反転駆動について説明する。ドット反転駆動における極性パターンを図27（D）に示す。

【0027】

図27（D）に示したように、ドット反転駆動とは、画素に入力する表示信号の極性を隣接する全ての画素どうしで反転させる方法である。そして任意の1フレーム期間において、各画素に、直前の1フレーム期間において入力された表示信号とは逆の極性を有する表示信号が入力される。よって、任意の1フレーム期間における極性パターンが極性パターン⑦だったとすると、次の1フレーム期間における極性パターンは極性パターン⑧となる。つまり2種類の極性パターンが、1フレーム期間ごとに繰り返し表示される駆動方法である。

【0028】

上述した交流化駆動は、液晶の劣化を防ぐには有用な方法である。しかし上述した交流化駆動を用いると、画面がちらついたり、縦縞、横縞または斜め縞が視認されたりすることがあった。

【0029】

これは各画素において同じ階調表示を行おうとしても、入力される表示信号の極性が正の時の表示と負の時の表示とで、画面の明るさが微妙に異なってしまうためだと考えられる。この現象について、以下、フレーム反転駆動を例にとって詳しく説明する。

【0030】

図26に示したアクティブマトリクス型液晶表示装置をフレーム反転駆動させたときのタイミングチャートを図28に示した。なお図28は、アクティブマトリクス型液晶表示装置がノーマリーブラックなら白表示、ノーマリーホワイトなら黒表示させた場合のタイミングチャートである。1つのゲート信号線に選択信号が入力されている期間を1ライン期間、全てのゲート信号線に選択信号が入力されて1つの画像が表示されるまでの期間を1フレーム期間とする。

【0031】

ソース信号線S1に表示信号が、ゲート信号線G1に選択信号がそれぞれ入力されると、ソース信号線S1とゲート信号線G1との交差している部分に設けられた画素(1, 1)に、正の極性の表示信号が入力される。そして画素(1, 1)において、入力された表示信号によって画素電極に与えられた電位は、理想的には保持容量等によって1フレーム期間中保持され続ける。

【0032】

しかし実際には、1ライン期間が終了する時、ゲート信号線G1の電位が画素TFTをオフさせる電位にシフトすると、画素電極の電位もゲート信号線G1の電位がシフトする方向に ΔV だけ引き込まれることがある。この現象をフィールドスルーと呼び、また ΔV を突き抜け電圧と呼ぶ。

【0033】

突き抜け電圧 ΔV は以下に示す式で与えられる。

【0034】

【式1】

$$\Delta V = V \times C_{gd} / (C_{gd} + C_{lc} + C_s)$$

【0035】

Vはゲート電極の電位の振幅、 C_{gd} は画素TFTのゲート電極とドレイン領域の間の容量、 C_{lc} は画素電極と対向電極の間の液晶の容量、 C_s は保持容量の容量である。

【0036】

図28に示すタイミングチャートにおいて、画素(1, 1)における実際の画素電極の電位を実線で、フィールドスルーを考慮しない理想的な画素電極の電位

を点線で示す。第1フレーム期間において、正の極性の表示信号が画素(1, 1)に入力される。図28に示した第1フレーム期間の場合、第1ライン期間が終了すると同時にゲート信号線の電位が負の方向に変化し、そして画素(1, 1)の画素電極の電位も、実際は突き貫け電圧の分だけ負の方向に変化する。なお、図28では、第1フレーム期間における突き貫け電圧を $\Delta V 1$ として示す。

【0037】

次に第2フレーム期間の第1ライン期間において、第1フレーム期間の第1ライン期間とは逆の極性である負の極性の表示信号が、画素(1, 1)に入力される。そして第2フレーム期間における第1ライン期間が終了する時、ゲート信号線G1の電位が負の方向に変化する。そして同時に画素(1, 1)の画素電極の電位も、実際は突き貫け電圧の分だけ負の方向に変化する。なお、図28では、第2フレーム期間における突き貫け電圧を $\Delta V 2$ として示す。

【0038】

図28において、第1フレーム期間の第1ライン期間終了後における駆動電圧を $V 1$ 、第2フレーム期間の第1ライン期間終了後における駆動電圧を $V 2$ として示す。なお本明細書において駆動電圧とは、画素電極の電位と対向電位との電位差を意味する。

【0039】

駆動電圧 $V 1$ と駆動電圧 $V 2$ は、 $\Delta V 1 + \Delta V 2$ の電圧差を有することになる。このため第1フレーム期間と第2フレーム期間とでは、画素(1, 1)における画面の明るさが異なる。

【0040】

そこで駆動電圧 $V 1$ と駆動電圧 $V 2$ の値が同じになるように、対向電位の値を低くする方法も考えられる。

【0041】

しかし、画素TFTのゲート電極とドレイン領域の間の容量 C_{gd} は、正の極性を有する表示信号を画素に入力したときと、負の極性を有する表示信号を画素に入力したときとでは、その値が異なる。さらに画素電極と対向電極の間の液晶の容量 C_{lc} も、画素に入力される表示信号の電位によって変動する。そのため

、Cgdと、Clcの値が各フレーム期間によって異なるために、突き貫け電圧 ΔV の値も各フレーム期間によって異なる。よって、たとえ対向電位の値を変化させても、フレーム期間によって、画素(1, 1)における駆動電圧が異なってしまう、結果的に画面の明るさが異なってしまう。

【0042】

そしてこれは画素(1, 1)に限らず全ての画素において起こりうる現象で、画素に入力される表示信号の極性によって、画素の明るさが異なりうる。

【0043】

よってフレーム反転駆動では、第1フレーム期間で表示された画像と第2フレーム期間で表示された画像の明るさが異なり、観察者にチラツキとして視認されてしまう。特に、中間調表示において顕著にチラツキが確認された。

【0044】

ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動の場合も同様に、正の極性の表示信号が入力された画素と、負の極性の表示信号が入力された画素とでは、表示の明るさが異なる。

【0045】

そのため、ソースライン反転駆動では縦縞が、ゲートライン反転駆動では横縞が画面に表示された。またドット反転駆動では、画面に表示される画像によって、縦縞、横縞または斜め縞が現れることがあった。

【0046】

交流化駆動によって画面がちらついて見えたり、縦縞、横縞または斜め縞が視認されたりするのを防ぐためには、フレーム周波数を高くすることが有効だと考えられる。

【0047】

しかしフレーム周波数を高くするためには、ICに入力される映像信号の周波数を高くする必要があった。映像信号の周波数を上げると、映像信号を生成している電子機器のスペックを高くする必要があり、コストが高くなってしまう。また映像信号を生成している電子機器の駆動周波数が映像信号の周波数に対応しきれなくなり、映像信号を生成している電子機器に負担がかかり、動作が不可能か

、または信頼性の上で難が出てくる可能性があった。

【0048】

そこで本発明は上述したことに鑑み、観察者にチラツキや縦縞、横縞及び斜め縞が視認されにくく、鮮明で高精細な画像の表示ができる半導体表示装置の駆動方法、及び該駆動方法を用いた半導体表示装置を提供することを目的とする。

【0049】

【課題を解決するための手段】

【0050】

本発明では、外部から半導体表示装置に入力される映像信号の規定のフレーム周波数を、該半導体表示装置が有するフレームレート変換部において高くする。そして連続する2つの各フレーム期間において、各画素に入力される表示信号の電位を対向電極の電位（対向電位）を基準として反転させ、連続する2つのフレーム期間において画素部に同じ映像を表示する。

【0051】

上記構成によって、観察者にチラツキや縦縞、横縞及び斜め縞が視認されにくい、鮮明で高精細な画像の表示を行うことができる。

【0052】

また、本発明で特にフレーム反転を用いることによって、隣接画素間にディスクリネーションと呼ばれる現象縞が発生するのを抑え、表示画面全体の明るさが低減されるのを防ぐことができる。ディスクリネーションとは、正の表示信号が入力された画素電極と負の表示信号が入力された画素電極との間に電界が生じ、液晶分子の配向が乱れる現象である。画素を高精細化すると隣り合う画素の有する画素電極どうしの距離が短くなってくるため、画素電極間の電界が大きくなり、ディスクリネーションによる見かけ上の開口率の低下が著しくなる。そのため本発明で特にフレーム反転を用いることは表示画面全体の明るさを低減させないという点で有効である。

【0053】

本発明の半導体表示装置におけるフレーム変換部は、1つまたは複数のRAMを有している。そして外部から入力された映像信号を、該1つ、または複数のR

AMのいずれか1つに書き込み、書き込まれた映像信号を順に2回ずつ読み出してゆく。上記構成によって、映像信号のRAMへの書き込みと、RAMからの読み出しとを同時に行うことができる。

【 0 0 5 4 】

また本発明で重要なのは、RAMに書き込んだ映像信号を1回読み出す期間が、RAMに映像信号を書き込む期間よりも短いことである。上記構成によって、RAMから読み出された後の映像信号の周波数を、RAMに書き込まれる前の映像信号の周波数より高くすることができる。

【 0 0 5 5 】

そしてさらに本発明で重要なのは、RAMから2回読み出された映像信号のうち、いずれか一方の映像信号の電位を、対向電極の電位（対向電位）を基準として反転させ、極性が反転している2つの映像信号を順にソース信号線駆動回路に入力することである。よって、連続する2つの各フレーム期間において、各画素に入力される表示信号の電位は対向電極の電位（対向電位）を基準として反転しているので、連続する2つのフレーム期間において画素部に同じ映像が表示される。

【 0 0 5 6 】

よって、ICに入力される映像信号の周波数を高くすることなくフレーム周波数を高くすることができるため、映像信号を生成している電子機器に負担をかけることなく、観察者にチラツキや縦縞、横縞及び斜め縞が視認されにくい、鮮明で高精細な画像の表示を行うことができる。

【 0 0 5 7 】

また、本発明で特にフレーム反転を用いることによって、隣接画素間にディスクリネーションと呼ばれる現象縞が発生するのを抑え、表示画面全体の明るさが低減されるのを防ぐことができる。

【 0 0 5 8 】

そして、各画素に入力される表示信号の電位の時間的な平均が対向電位により近くなり、各フレーム期間において異なる表示信号を各画素に入力している場合に比べて、液晶の劣化を防ぐのにより有効である。

【 0 0 5 9 】

本発明は、フレーム反転駆動、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動等のあらゆる交流化駆動に用いることができる。

【 0 0 6 0 】

なお本発明では、複数のRAMと、ソース信号線駆動回路は、IC基板上に設けても、画素部が設けられているアクティブマトリクス基板上に設けても良い。またソース信号線駆動回路の一部をアクティブマトリクス基板上に設け、残りをIC基板上に設け、FPC等により接続していても良い。

【 0 0 6 1 】

以下に本発明の構成を示す。

【 0 0 6 2 】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、フレームレート変換部とを有する半導体表示装置において、

前記複数の画素TFTを介して前記複数の画素電極に表示信号が入力されており、

前記複数の画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置が提供される。

【 0 0 6 3 】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素TFTを介

して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置が提供される。

【0064】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素TFTを介して前記複数の画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置が提供される。

【0065】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素TFTを介して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置が提供される。

【0066】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素TFTと、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は1つまたは複数のRAMを有しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号が書き込まれ、

前記1つのRAM、または前記複数のRAMのいずれか1つに書き込まれた映像信号は2回ずつ読み出され、

前記1つのRAM、または前記複数のRAMのいずれか1つから2回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した2つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、
前記前記 1 つの R A M、または前記複数の R A M のいずれか 1 つへの映像信号
の書き込みと

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き
込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目
に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【 0 0 6 7 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換
部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有して
おり、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き
込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映
像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み
出された映像信号は、共に D / A 変換回路においてアナログに変換されてからソ
ース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、
前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き
込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目
に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【 0 0 6 8 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され、

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

前記画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【 0 0 6 9 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映

像信号は2回ずつ読み出され、

前記1つのRAM、または前記複数のRAMのいずれか1つから2回ずつ読み出された映像信号は共にD/A変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した2つの表示信号が生成され、

前記生成された表示信号は前記画素TFTを介して前記画素電極に入力され、

前記画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号を書き込む期間は、前記書き込まれた映像信号が1回目に読み出される期間及び2回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【0070】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素TFTと、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は1つまたは複数のRAMを有しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号が書き込まれ、

前記1つのRAM、または前記複数のRAMのいずれか1つに書き込まれた映像信号は2回ずつ読み出され、

前記1つのRAM、または前記複数のRAMのいずれか1つから2回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した2つの表示信号が生成され、

前記生成された表示信号は前記複数のソース信号線及び前記画素TFTを介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号を書き込む期間は、前記書き込まれた映像信号が1回目に読み出される期間及び2回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【0071】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素TFTと、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は1つまたは複数のRAMを有しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号が書き込まれ、

前記1つのRAM、または前記複数のRAMのいずれか1つに書き込まれた映像信号は2回ずつ読み出され、

前記1つのRAM、または前記複数のRAMのいずれか1つから2回ずつ読み出された映像信号は、共にD/A変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した2つの表示信号が生成され

前記生成された表示信号は前記複数のソース信号線及び前記画素TFTを介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【 0 0 7 2 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【 0 0 7 3 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、フレームレート変換

部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は、共に D / A 変換回路においてアナログに変換されてからソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され、

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【 0 0 7 4 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き

込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は共にソース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した 2 つの表示信号が生成され

前記生成された表示信号は前記画素 T F T を介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号を書き込む期間は、前記書き込まれた映像信号が 1 回目に読み出される期間及び 2 回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【 0 0 7 5 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置であって、

前記複数の画素は、画素 T F T と、画素電極と、対向電極とをそれぞれ有しており、

前記フレームレート変換部は 1 つまたは複数の R A M を有しており、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに映像信号が書き込まれ、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つに書き込まれた映像信号は 2 回ずつ読み出され、

前記 1 つの R A M、または前記複数の R A M のいずれか 1 つから 2 回ずつ読み出された映像信号は、共に D / A 変換回路においてアナログに変換されてからソ

ース信号線駆動回路に入力され、

前記ソース信号線駆動回路において極性の反転した2つの表示信号が生成され

前記生成された表示信号は前記画素TFTを介して前記画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記1つのRAM、または前記複数のRAMのいずれか1つに映像信号を書き込む期間は、前記書き込まれた映像信号が1回目に読み出される期間及び2回目に読み出される期間よりも長いことを特徴とする半導体表示装置が提供される。

【0076】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数の画素TFTを介して前記複数の画素電極に表示信号が入力されており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の極性を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法が提供される。

【0077】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数の画素TFTを介して前記複数の画素電極に表示信号が入力されてお

り、

前記複数の画素電極に入力される全ての表示信号は、各フレーム期間中、前記対向電極の電位を基準として同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法が提供される。

【0078】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素TFTを介して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、かつ前記複数のソース信号線のそれぞれに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の2つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法が提供される。

【0079】

本発明によって、

複数の画素TFTと、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各ライン期間中、前記複数のソース信号線の全てに入力される表示信号は、前記対向電極の電位を基準として常に同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法が提供される。

【 0 0 8 0 】

本発明によって、

複数の画素 T F T と、複数の画素電極と、対向電極と、複数のソース信号線と、フレームレート変換部とを有する半導体表示装置の駆動方法において、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

各フレーム期間中、前記複数のソース信号線の隣り合うソース信号線には、前記対向電極の電位を基準として互いに逆の極性を有する表示信号が入力されており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記フレームレート変換部は前記表示信号に同期して動作しており、

隣接している任意の 2 つのフレーム期間のうち、後に出現するフレーム期間において前記複数の画素電極に入力される表示信号は、先に出現するフレーム期間において前記複数の画素電極に入力される表示信号の電位を前記対向電極の電位を基準として反転させた信号であることを特徴とする半導体表示装置の駆動方法が提供される。

【 0 0 8 1 】

本発明は、前記RAMがSDRAMであることを特徴としていても良い。

【 0 0 8 2 】

本発明は、前記半導体表示装置を用いたコンピュータ、ビデオカメラ及びDVDプレーヤーを含む。

【 0 0 8 3 】

【発明の実施の形態】

以下に、本発明の半導体表示装置が有するフレームレート変換部について、図1を用いて説明する。なお本実施の形態ではRAMとしてSDRAM (Synchronous Dynamic Random Access Memory) を用いる構成を示す。しかし本発明はRAMに限定されず、高速のデータの書き込みや読み出しが可能であるならば、その他のDRAM (Dynamic Random Access Memory) や、SRAM (Static Random Access Memory) も用いることが可能である。

【 0 0 8 4 】

フレームレート変換部100は、制御部101、フレーム周波数変換部102、アドレスジェネレータ部106を有している。またフレーム周波数変換部102は、第1のSDRAM (SDRAM1) 103、第2のSDRAM (SDRAM2) 104、データフォーマット部105を有している。また107はD/A変換回路であり、フレームレート変換部100から出力される映像信号を、デジタルからアナログに変換する。

【 0 0 8 5 】

なお本実施の形態ではフレーム周波数変換部102がSDRAMを2つ（第1のSDRAM103、第2のSDRAM104）を有しているが、SDRAMの数は2つに限定されず、いくつでも良い。本実施の形態では説明を簡便にするためにSDRAMの数が2つの場合について説明する。

【 0 0 8 6 】

Hsync信号と、Vsync信号と、CLK信号が制御部101に入力される。Hsync信号と、Vsync信号と、CLK信号によって制御部101から、アドレスジェネレータ部の駆動を制御するアドレスジェネレータ制御信号（

address generator controll signal) と、第1のSDRAM103と第2のSDRAM104の駆動を制御するSDRAM制御信号(RAM CLK1, RAM CLK2)が出力される。

【0087】

アドレスジェネレータ部106は、制御部101から入力されたアドレスジェネレータ制御信号によって駆動し、第1のSDRAM103と第2のSDRAM104のメモリアドレスの番地を指定するカウンタ値を決定する。例えばカウンタ値が0だと第1のSDRAM103と第2のSDRAM104のメモリアドレスの0番地が指定され、カウンタ値が1だと1番地が、カウンタ値が2だと2番地が、カウンタ値がqだとq番地がそれぞれ指定される。

【0088】

カウンタ値の情報は第1カウンタ信号(address count signal 1)、第2カウンタ信号(address count signal 2)として、アドレスジェネレータ部106から第1のSDRAM103と第2のSDRAM104にそれぞれ入力される。なお、第1カウンタ信号が有するカウンタ値を第1カウンタ値、第2カウンタ信号が有するカウンタ値を第2カウンタ値と呼ぶ。

【0089】

データフォーマット部105には、外部からデジタルの映像信号(Video Signal)が入力される。またデータフォーマット部105は交流電源(AC Cont)に接続されている。

【0090】

データフォーマット部105に入力されたデジタルの映像信号は、第1または第2のSDRAM103、104の、第1または第2カウンタ信号によって指定された番地に順に書き込まれる。デジタルの映像信号は、複数のSDRAMに同時に書き込まれるのではなく、常に1つのSDRAMだけに書き込まれる。

【0091】

データフォーマット部105において入力されたデジタルの映像信号のビット数を増加させてから、第1のSDRAM103または第2のSDRAM104に書き込むようにしても良い。

【 0 0 9 2 】

次に書き込まれた映像信号は、第 1 または第 2 の S D R A M 1 0 3、1 0 4 の第 1 または第 2 カウンタ信号によって指定された番地から順に読み出される。デジタルの映像信号は、複数の S D R A M から同時に読み出されるのではなく、常に 1 つの S D R A M だけから読み出される。

【 0 0 9 3 】

なお映像信号の読み出しは 2 回行われる。そして 1 つの S D R A M への映像信号の書き込みと、他の 1 つの S D R A M からの映像信号の読み出しは並行して行われる。

【 0 0 9 4 】

図 2 を用いて、図 1 におけるフレーム周波数変換部 1 0 2 の動作を具体的に説明する。図 2 (A) において、第 1 の S D R A M 1 0 3 に映像信号が書き込まれており、同時に第 2 の S D R A M 1 0 4 に書き込まれた映像信号が 2 回読み出されている。図 2 (B) において、第 1 の S D R A M 1 0 3 に書き込まれた映像信号が 2 回読み出されており、同時に第 2 の S D R A M 1 0 4 に映像信号が書き込まれている。

【 0 0 9 5 】

なお、本実施の形態では、1 画像分に相当する映像信号しか書き込むことができない S D R A M を用いた例について示しているが、本発明はこれに限定されない。1 画像分以上に相当する映像信号を書き込むことが可能な、R A M を用いるに構成にしても良い。2 画像分以上に相当する映像信号を書き込むことが可能な R A M を用いれば、本発明において用いる R A M は 1 つでも良い。逆に 1 画像分以下に相当する映像信号しか書き込むことができない R A M を用いる場合、複数の R A M を用いることで 1 画像分に相当する映像信号を書き込むようにしても良い。

【 0 0 9 6 】

図 3 に、第 1 の S D R A M 1 0 3 と第 2 の S D R A M 1 0 4 における、映像信号の書き込みと読み出しのタイミングを示す。書き込み期間 p において第 1 の S D R A M 1 0 3 に映像信号が書き込まれる。そして書き込み期間 p において第 1

の SDRAM 1 0 3 に書き込まれた映像信号が、次に出現する第 1 読み出し期間 p と第 2 読み出し期間 p において 2 回読み出される。

【 0 0 9 7 】

また書き込み期間 $(p - 1)$ において第 2 の SDRAM 1 0 4 に映像信号が書き込まれる。そして書き込み期間 $(p - 1)$ において第 2 の SDRAM 1 0 4 に書き込まれた映像信号は、次に出現する第 1 読み出し期間 $(p - 1)$ と第 2 読み出し期間 $(p - 1)$ において 2 回読み出される。

【 0 0 9 8 】

そして書き込み期間 p と、第 1 及び第 2 読み出し期間 $(p - 1)$ は同時に出現している。つまり、第 1 の SDRAM 1 0 3 に映像信号が書き込まれるのと並行して、第 2 の SDRAM 1 0 4 から映像信号が 2 回読み出されている。

【 0 0 9 9 】

また書き込み期間 $(p + 1)$ と、第 1 及び第 2 読み出し期間 p は同時に出現している。つまり、第 2 の SDRAM 1 0 4 に映像信号が書き込まれるのと並行して、第 1 の SDRAM 1 0 3 から映像信号が 2 回読み出されている。

【 0 1 0 0 】

第 1 及び第 2 読み出し期間 p が終了すると、書き込み期間 $(p + 2)$ が出現し、再び第 1 の SDRAM 1 0 3 に映像信号が書き込まれる。それと並行して、第 1 及び第 2 読み出し期間 $(p + 1)$ が出現し、第 2 の SDRAM 1 0 4 から映像信号が 2 回読み出される。

【 0 1 0 1 】

読み出された映像信号はデータフォーマット部 1 0 5 に入力される。そしてデータフォーマット部 1 0 5 において、2 回読み出された映像信号のうちどちらか一方の映像信号が、アナログに変換された際に液晶の対向電極の電位を基準として極性が反転するように、データ処理される。そして、データ処理された映像信号とデータ処理されなかった映像信号との 2 つの映像信号が、データフォーマット部 1 0 5 から出力される。

【 0 1 0 2 】

データフォーマット部 1 0 5 から出力された 2 つの映像信号は、D/A 変換回

路107に入力され、アナログに変換される。アナログに変換された2つの映像信号は、対向電極の電位を基準として極性が反転している。アナログに変換された2つの映像信号は、順にソース信号線駆動回路に入力される。

【0103】

なお、データフォーマット部105において、映像信号をシリアルーパラレル変換して、分割駆動の分割数分だけ分割してから、D/A変換回路107に入力しても良い。

【0104】

分割駆動とは、画像表示スピードを遅くすることなくソース信号線駆動回路の駆動周波数を抑えるための駆動方法である。具体的には、ソース信号線をm個のグループに分割し、1ライン期間中に、同時にm本のソース信号線に表示信号を入力する駆動方法である。

【0105】

図4に、本発明の駆動方法が用いられるアクティブマトリクス型液晶表示装置の画素部の構成を示す。図4(A)は、画素部の回路図であり、図4(B)は画素の配置を示した図である。

【0106】

110は画素部を示している。ソース信号線駆動回路に接続されたソース信号線S1～Sxと、ゲート信号線駆動回路に接続されたゲート信号線G1～Gyとが画素部110に設けられている。そして画素部110において、ソース信号線S1～Sxとゲート信号線G1～Gyとで囲まれている部分に画素111が設けられている。そして画素111には画素TFT112と画素電極113とが設けられている。

【0107】

ゲート信号線駆動回路からゲート信号線G1～Gyに選択信号が入力され、前記選択信号によって前記画素TFT112のスイッチングが制御されている。なお本明細書においてTFTのスイッチングを制御するというのは、TFTをオンの状態にするかオフの状態にするかを選択することを意味する。

【0108】

ゲート信号線駆動回路からゲート信号線G 1に入力される選択信号によってゲート信号線G 1が選択され、ゲート信号線G 1とソース信号線S 1とが交差している部分の画素(1、1)、(1、2)、…、(1、x)の画素T F T 1 1 2をオンの状態にする。

【0 1 0 9】

ソース信号線駆動回路に入力された映像信号は、ソース信号線駆動回路内のシフトレジスタ等からのサンプリング信号に従ってサンプリングされ、表示信号としてソース信号線S 1～S xに入力される。

【0 1 1 0】

そしてソース信号線S 1～S xに入力された表示信号が、画素T F T 1 1 2を介して画素(1、1)、(1、2)、…、(1、x)の画素電極1 1 3に入力される。この入力された表示信号の電位により液晶を駆動し、透過光量を制御して、画素(1、1)、(1、2)、…、(1、x)に画像の一部(画素(1、1)、(1、2)、…、(1、x)に相当する画像)が表示される。

【0 1 1 1】

ゲート信号線G 1に接続されている画素の全てに表示信号が入力されると、ゲート信号線G 1は選択されなくなる。引き続いて、画素(1、1)、(1、2)、…、(1、x)に画像が表示された状態を保持容量(図示せず)等で保持したまま、ゲート信号線G 2に入力される選択信号によって、ゲート信号線G 2が選択される。なお保持容量とは、画素T F T 1 1 2のゲート電極に入力された表示信号の電位を一定の期間保持するための容量である。そしてゲート信号線G 2に接続されている全ての画素(2、1)(2、2)、…、(2、x)に、同様に画像の一部を次々と表示する。この間、ゲート信号線G 2は選択され続けている。

【0 1 1 2】

上述した動作を全てのゲート信号線において順次繰り返すことにより、画素部1 1 0に一つの画像を表示する。この一つの画像が表示される期間を1フレーム期間と呼ぶ。画素部1 1 0に一つの画像が表示される期間と、垂直帰線期間とを合わせて1フレーム期間としても良い。そして全ての画素は、再び各画素の画素T F Tがオンの状態になるまで、画像が表示された状態を保持容量(図示せず)

等で保持している。

【0 1 1 3】

なお2つの映像信号はその極性が反転しており、サンプリングされて各ソース信号線に入力された表示信号もその極性が反転している。図4に示したアクティブマトリクス型液晶表示装置において、ゲート信号線とソース信号線に入力される選択信号と表示信号のタイミングチャートを図5に示す。

【0 1 1 4】

ライン期間は、1つのゲート信号線が選択されている期間を示しており、全てのライン期間（L1～Ly）が出現するまでの期間が1フレーム期間に相当する。または全てのライン期間（L1～Ly）と垂直帰線期間とを合わせて1フレーム期間としても良い。本発明のアクティブマトリクス型液晶表示装置の場合、同じ画像を表示する前半のフレーム期間（previous frame）と、後半のフレーム期間（following frame）とを有している。

【0 1 1 5】

前半のフレーム期間は、第1読み出し期間においてSDRAMから読み出された映像信号に基づいて画像が表示されている。そして後半のフレーム期間は、第2読み出し期間においてSDRAMから読み出された映像信号に基づいて画像が表示されている。したがって、前半のフレーム期間と後半のフレーム期間とでは、表示される画像は同じだが、各ソース信号線に入力される表示信号の極性が反転している。

【0 1 1 6】

図6に、フレーム反転駆動を行ったときの、各画素の画素電極に入力される表示信号の極性を示す。図6において、第1、第3、第5のフレーム期間が前半のフレーム期間に相当し、第2、第4のフレーム期間が後半のフレーム期間に相当する。

【0 1 1 7】

全てのフレーム期間において、全ての画素の画素電極に入力される表示信号の極性は同じである。そして前半のフレーム期間と、後半のフレーム期間とでは、各画素に入力される表示信号の極性が反転している。

【 0 1 1 8 】

第 1 のフレーム期間と第 2 のフレーム期間とでは、表示される画像は同じである。また第 3 のフレーム期間と第 4 のフレーム期間とでは、表示される画像が同じである。なお第 6 のフレーム期間については図示しなかったが、第 5 のフレーム期間と第 6 のフレーム期間とでは、表示される画像は同じである。

【 0 1 1 9 】

次に図 7 に、ソースライン反転駆動を行ったときの、各画素の画素電極に入力される表示信号の極性を示す。図 7 において、第 1、第 3、第 5 のフレーム期間が前半のフレーム期間に相当し、第 2、第 4 のフレーム期間が後半のフレーム期間に相当する。

【 0 1 2 0 】

全てのフレーム期間において、各ソース信号線に接続されている画素の画素電極に入力される表示信号の極性は、全て同じである。また隣り合うソース信号線に接続されている画素の画素電極に入力される表示信号の極性は、反転している。そして前半のフレーム期間と、後半のフレーム期間とでは、各画素に入力される表示信号の極性が反転している。

【 0 1 2 1 】

第 1 のフレーム期間と第 2 のフレーム期間とでは、表示される画像は同じである。また第 3 のフレーム期間と第 4 のフレーム期間とでは、表示される画像が同じである。なお第 6 のフレーム期間については図示しなかったが、第 5 のフレーム期間と第 6 のフレーム期間とでは、表示される画像は同じである。

【 0 1 2 2 】

次に図 8 に、ゲートライン反転駆動を行ったときの、各画素の画素電極に入力される表示信号の極性を示す。図 8 において、第 1、第 3、第 5 のフレーム期間が前半のフレーム期間に相当し、第 2、第 4 のフレーム期間が後半のフレーム期間に相当する。

【 0 1 2 3 】

全てのフレーム期間において、各ゲート信号線に接続されている画素の画素電極に入力される表示信号の極性は、全て同じである。また隣り合うゲート信号線

に接続されている画素の画素電極に入力される表示信号の極性は、反転している。そして前半のフレーム期間と、後半のフレーム期間とでは、各画素に入力される表示信号の極性が反転している。

【 0 1 2 4 】

第 1 のフレーム期間と第 2 のフレーム期間とでは、表示される画像は同じである。また第 3 のフレーム期間と第 4 のフレーム期間とでは、表示される画像が同じである。なお第 6 のフレーム期間については図示しなかったが、第 5 のフレーム期間と第 6 のフレーム期間とでは、表示される画像は同じである。

【 0 1 2 5 】

次に図 9 に、ドット反転駆動を行ったときの、各画素の画素電極に入力される表示信号の極性を示す。図 9 において、第 1、第 3、第 5 のフレーム期間が前半のフレーム期間に相当し、第 2、第 4 のフレーム期間が後半のフレーム期間に相当する。

【 0 1 2 6 】

全てのフレーム期間において、隣り合う画素の画素電極に入力される表示信号の極性は、全て反転している。そして前半のフレーム期間と、後半のフレーム期間とでは、各画素に入力される表示信号の極性が反転している。

【 0 1 2 7 】

第 1 のフレーム期間と第 2 のフレーム期間とでは、表示される画像は同じである。また第 3 のフレーム期間と第 4 のフレーム期間とでは、表示される画像が同じである。なお第 6 のフレーム期間については図示しなかったが、第 5 のフレーム期間と第 6 のフレーム期間とでは、表示される画像は同じである。

【 0 1 2 8 】

本発明は上記構成によって、SDRAM から読み出された後の映像信号の周波数を、SDRAM に書き込まれる前の映像信号の周波数より高くすることができる。よって、外部から入力される映像信号の周波数を高くすることなく、アクティブマトリクス型液晶表示装置の内部においてフレーム周波数を高くすることができるため、映像信号を生成している電子機器に負担をかけることなく、観察者にチラツキや縦縞、横縞及び斜め縞が視認されにくい、鮮明で高精細な画像の表

示を行うことができる。

【0129】

そしてさらに本発明で重要なのは、SDRAMから2回読み出された映像信号のうち、いずれか一方の映像信号の電位を、対向電極の電位（対向電位）を基準として反転させソース信号線駆動回路に入力することである。よって、連続する2つの各フレーム期間において、各画素に入力される表示信号の電位は対向電極の電位（対向電位）を基準として反転しており、画素部に同じ映像が表示される。上記構成により、各画素に入力される表示信号の電位の時間的な平均が対向電位により近くなり、各フレーム期間において異なる表示信号を各画素に入力している場合に比べて、液晶の劣化を防ぐのにより有効であり、観察者にチラツキや縦縞、横縞及び斜め縞が視認されにくい。

【0130】

また、本発明で特にフレーム反転を用いることによって、隣接画素間にディスクリネーションと呼ばれる現象縞が発生するのを抑え、表示画面全体の明るさが低減されるのを防ぐことができる。

【0131】

なお上述した駆動方法は、ノンインターレス走査を用いた例で説明しているが、本発明の走査方式はこれに限定されない。走査方式はインターレス走査であっても良い。

【0132】

【実施例】

以下に、本発明の実施例を説明する。

【0133】

（実施例1）

本実施例では、図1の第1のSDRAM103と第2のSDRAM104における映像信号の書き込みと読み出しのタイミングについて、図3とは異なる例について説明する。

【0134】

本実施例では、第1及び第2の読み出し期間が、書き込み期間よりも短い。そ

して第1及び第2の読み出し期間が終了した後、次の書き込み期間が開始される前に、映像信号の書き込みも読み出しも行わないブランク期間を設けている。

【0135】

図10に、第1のSDRAM103と第2のSDRAM104における、映像信号の書き込みと読み出しのタイミングを示す。書き込み期間 p において第1のSDRAM103に映像信号が書き込まれる。そして書き込み期間 p において第1のSDRAM103に書き込まれた映像信号が、第1読み出し期間 p と第2読み出し期間 p において2回読み出される。

【0136】

また書き込み期間 $(p-1)$ において第2のSDRAM104に映像信号が書き込まれる。そして書き込み期間 $(p-1)$ において第2のSDRAM104に書き込まれた映像信号は、第1読み出し期間 $(p-1)$ と第2読み出し期間 $(p-1)$ において2回読み出される。

【0137】

そして書き込み期間 p と、第1及び第2読み出し期間 $(p-1)$ は同時に出現している。つまり、第1のSDRAM103に映像信号が書き込まれるのと並行して、第2のSDRAM104から映像信号が2回読み出されている。

【0138】

また書き込み期間 $(p+1)$ と、第1及び第2読み出し期間 p は同時に出現している。つまり、第2のSDRAM104に映像信号が書き込まれるのと並行して、第1のSDRAM103から映像信号が2回読み出されている。

【0139】

そして第1及び第2読み出し期間 p が終了すると、ブランク期間が出現する。ブランク期間は映像信号の書き込みも読み出しも行わない期間である。ブランク期間が終了すると、書き込み期間 $(p+2)$ が出現し、再び第1のSDRAM103に映像信号が書き込まれる。それと並行して、第1及び第2読み出し期間 $(p+1)$ が出現し、第2のSDRAM104から映像信号が2回読み出される。

【0140】

ブランク期間の長さは、書き込み期間から、第1及び第2の読み出し期間を差

し引いた長さよりも長いことが必要である。ブランク期間は画像がちらつかない程度であれば、いくつ設けても良い。ブランク期間を設けることで、2つ以上のSDRAMに映像信号が書きこまれることがなく、また2つ以上のSDRAMから映像信号が読み出されることがない。

【0141】

なおブランク期間は、書き込み期間と第1読み出し期間との間に設けても良いし、第2読み出し期間と書き込み期間の間に設けても良い。また第1読み出し期間と第2読み出し期間の間に設けても良い。

【0142】

2回読み出された映像信号はデータフォーマット部105に入力される。

【0143】

(実施例2)

本実施例では、図1の第1のSDRAM103と第2のSDRAM104における映像信号の書き込みと読み出しのタイミングについて、図3、図10とは異なる例について説明する。

【0144】

本実施例では、第1及び第2の読み出し期間が、書き込み期間よりも長い。そして書き込み期間が終了した後、次の第1の読み出し期間が開始される前に、映像信号の書き込みも読み出しも行わないブランク期間を設けている。

【0145】

図11に、第1のSDRAM103と第2のSDRAM104における、映像信号の書き込みと読み出しのタイミングを示す。書き込み期間pにおいて第1のSDRAM103に映像信号が書き込まれる。書き込み期間pが終了するとブランク期間が出現する。ブランク期間は映像信号の書き込みも読み出しも行わない期間である。

【0146】

ブランク期間終了後、書き込み期間pにおいて第1のSDRAM103に書き込まれた映像信号が、第1読み出し期間pと第2読み出し期間pにおいて2回読み出される。

【0147】

また書き込み期間 ($p-1$) において第2のSDRAM104に映像信号が書き込まれる。書き込み期間 ($p-1$) が終了するとブランク期間が出現する。ブランク期間終了後、書き込み期間 ($p-1$) において第2のSDRAM104に書き込まれた映像信号は、第1読み出し期間 ($p-1$) と第2読み出し期間 ($p-1$) において2回読み出される。

【0148】

そして書き込み期間 p と、第1及び第2読み出し期間 ($p-1$) は同時に出現している。つまり、第1のSDRAM103に映像信号が書き込まれるのと並行して、第2のSDRAM104から映像信号が2回読み出されている。

【0149】

また書き込み期間 ($p+1$) と、第1及び第2読み出し期間 p は同時に出現している。つまり、第2のSDRAM104に映像信号が書き込まれるのと並行して、第1のSDRAM103から映像信号が2回読み出されている。

【0150】

そして第1及び第2読み出し期間 p が終了すると、書き込み期間 ($p+2$) が出現し、再び第1のSDRAM103に映像信号が書き込まれる。それと並行して、第1及び第2読み出し期間 ($p+1$) が出現し、第2のSDRAM104から映像信号が2回読み出される。

【0151】

ブランク期間の長さは、第1の読み出し期間と第2の読み出し期間を足した長さから、書き込み期間を差し引いた長さよりも長いことが必要である。ブランク期間は画像がちらつかない程度であれば、いくつ設けても良い。ブランク期間を設けることで、2つ以上のSDRAMに映像信号が書き込まれることがなく、また2つ以上のSDRAMから映像信号が読み出されることがない。

【0152】

なおブランク期間は、書き込み期間と第1読み出し期間との間に設けても良いし、第2読み出し期間と書き込み期間の間に設けても良い。また第1読み出し期間と第2読み出し期間の間に設けても良い。

【0153】

2 回読み出された映像信号はデータフォーマット部 105 に入力される。

【0154】

なお本実施例は、実施例 1 と自由に組み合わせることが可能である。

【0155】

(実施例 3)

本実施例では、本発明の半導体表示装置が有するフレームレート変換部の、図 1 とは異なる例について、図 12 を用いて説明する。

【0156】

本実施例において、フレームレート変換部は SDRAM を 3 つ有している。

【0157】

フレームレート変換部 200 は、制御部 201、フレーム周波数変換部 202、アドレスジェネレータ部 206 を有している。またフレーム周波数変換部 202 は、第 1 の SDRAM (SDRAM1) 203、第 2 の SDRAM (SDRAM2) 204、第 3 の SDRAM (SDRAM3) 207、データフォーマット部 205 を有している。また 208 は D/A 変換回路であり、フレームレート変換部 200 から出力される映像信号をデジタルからアナログに変換する。

【0158】

なお本実施例ではフレーム周波数変換部 202 が SDRAM を 3 つ (第 1 の SDRAM 203、第 2 の SDRAM 204、第 3 の SDRAM 207) を有しているが、SDRAM の数は 3 つに限定されない。

【0159】

Hsync 信号と、Vsync 信号と、CLK 信号が制御部 201 に入力される。Hsync 信号と、Vsync 信号と、CLK 信号によって制御部 201 から、アドレスジェネレータ部の駆動を制御するアドレスジェネレータ制御信号 (address generator control signal) と、第 1 の SDRAM 203 と第 2 の SDRAM 204 と第 3 の SDRAM 207 の駆動を制御する SDRAM 制御信号 (RAM CLK1, RAM CLK2, RAM CLK3) が出力される。

【0160】

アドレスジェネレータ部 2 0 6 は、制御部 2 0 1 から入力されたアドレスジェネレータ制御信号によって駆動し、第 1 の SDRAM 2 0 3 と第 2 の SDRAM 2 0 4 と第 3 の SDRAM 2 0 7 のメモリアドレスの番地を指定するカウンタ値を決定する。例えばカウンタ値が 0 だと第 1 の SDRAM 2 0 3 と第 2 の SDRAM 2 0 4 と第 3 の SDRAM 2 0 7 のメモリアドレスは 0 番地が指定され、カウンタ値が 1 だと 1 番地が、カウンタ値が 2 だと 2 番地が、カウンタ値が q だと q 番地がそれぞれ指定される。カウンタ値の情報は第 1 カウンタ信号 (address count signal 1)、第 2 カウンタ信号 (address count signal 2)、第 3 カウンタ信号 (address count signal 3) として、アドレスジェネレータ部 2 0 6 から第 1 の SDRAM 2 0 3 と第 2 の SDRAM 2 0 4 と第 3 の SDRAM 2 0 7 にそれぞれ入力される。

【 0 1 6 1 】

なお、第 1 カウンタ信号が有するカウンタ値を第 1 カウンタ値、第 2 カウンタ信号が有するカウンタ値を第 2 カウンタ値、第 3 カウンタ信号が有するカウンタ値を第 3 カウンタ値と呼ぶ。

【 0 1 6 2 】

データフォーマット部 2 0 5 には、デジタルの映像信号 (Video Signal) が入力される。またデータフォーマット部 2 0 5 は交流電源 (AC Cont) に接続されている。

【 0 1 6 3 】

データフォーマット部 2 0 5 に入力されたデジタルの映像信号は、第 1 の SDRAM 2 0 3、第 2 の SDRAM 2 0 4 または第 3 の SDRAM 2 0 7 の指定された番地に順に書き込まれる。デジタルの映像信号は、複数の SDRAM に同時に書き込まれるのではなく、常に 1 つの SDRAM だけに書き込まれる。

【 0 1 6 4 】

またデータフォーマット部 2 0 5 において、入力されたデジタルの映像信号のビット数を増加させてから、第 1 の SDRAM 2 0 3、第 2 の SDRAM 2 0 4 または第 3 の SDRAM 2 0 7 に書き込むようにしても良い。

【 0 1 6 5 】

次に書き込まれた映像信号は、第1のSDRAM203、第2のSDRAM204または第3のSDRAM207の指定された番地から順に読み出される。デジタルの映像信号は、複数のSDRAMから同時に読み出されるのではなく、常に1つのSDRAMだけから読み出される。

【0166】

なお映像信号の読み出しは2回行われる。そして1つのSDRAMへの映像信号の書き込みと、他の1つのSDRAMからの映像信号の読み出しは並行して行われる。

【0167】

図13に、第1のSDRAM203と第2のSDRAM204と第3のSDRAM207における、映像信号の書き込みと読み出しのタイミングを示す。

【0168】

書き込み期間 p において第1のSDRAM203に映像信号が書き込まれる。そして書き込み期間 p において第1のSDRAM203に書き込まれた映像信号が、第1読み出し期間 p と第2読み出し期間 p において2回読み出される。

【0169】

また書き込み期間 $(p-1)$ において第2のSDRAM204に映像信号が書き込まれる。そして書き込み期間 $(p-1)$ において第2のSDRAM204に書き込まれた映像信号は、第1読み出し期間 $(p-1)$ と第2読み出し期間 $(p-1)$ において2回読み出される。

【0170】

また書き込み期間 $(p+1)$ において第3のSDRAM207に映像信号が書き込まれる。そして書き込み期間 $(p+1)$ において第3のSDRAM207に書き込まれた映像信号は、第1読み出し期間 $(p+1)$ と第2読み出し期間 $(p+1)$ において2回読み出される。

【0171】

そして書き込み期間 p と、第1及び第2読み出し期間 $(p-1)$ は同時に出現している。つまり、第1のSDRAM203に映像信号が書き込まれるのと並行して、第2のSDRAM204から映像信号が2回読み出されている。

【0172】

また書き込み期間 ($p+1$) と、第1及び第2読み出し期間 p は同時に出現している。つまり、第3のSDRAM207に映像信号が書き込まれるのと並行して、第1のSDRAM203から映像信号が2回読み出されている。

【0173】

また書き込み期間 ($p+2$) と、第1及び第2読み出し期間 ($p+1$) は同時に出現している。つまり、第2のSDRAM204に映像信号が書き込まれるのと並行して、第3のSDRAM207から映像信号が2回読み出されている。

【0174】

第1及び第2読み出し期間 p が終了するとブランク期間が出現する。第1のSDRAM203のブランク期間中、第2のSDRAM204は書き込み期間 ($p+2$) 中であり、第3のSDRAM207は第1及び第2読み出し期間 ($p+1$) 中である。

【0175】

第1及び第2読み出し期間 ($p-1$) が終了するとブランク期間が出現する。第2のSDRAM204のブランク期間中、第3のSDRAM207は書き込み期間 ($p+1$) 中であり、第1のSDRAM207は第1及び第2読み出し期間 p 中である。

【0176】

第1及び第2読み出し期間 ($p+1$) が終了するとブランク期間が出現する。第3のSDRAM207のブランク期間中、第1のSDRAM203は書き込み期間 ($p+3$) 中であり、第2のSDRAM204は第1及び第2読み出し期間 ($p+2$) 中である。

【0177】

第1のSDRAM203、第2のSDRAM204、第3のSDRAM207において、ブランク期間が終了すると、それぞれ次の書きこみ期間が開始される。

【0178】

2回読み出された映像信号はデータフォーマット部205に入力される。そし

てデータフォーマット部 2 0 5 において、2 回読み出された映像信号のうちどちらか一方の映像信号は、アナログに変換された際に液晶の対向電極の電位を基準として極性が反転するように、データ処理される。そして、データ処理された映像信号とデータ処理されなかった映像信号との 2 つの映像信号が、データフォーマット部 2 0 5 から出力される。

【 0 1 7 9 】

データフォーマット部 2 0 5 から出力された 2 つの映像信号は、D/A 変換回路 2 0 8 に入力され、アナログに変換される。アナログに変換された 2 つの映像信号は、対向電極の電位を基準として極性が反転している。アナログに変換された 2 つの映像信号は、順にソース信号線駆動回路に入力される。

【 0 1 8 0 】

なお、データフォーマット部 2 0 5 において、映像信号をシリアルーパラレル変換して、分割駆動の分割数分だけ分割してから、D/A 変換回路 2 0 8 に入力しても良い。

【 0 1 8 1 】

本発明の駆動方法が用いられるアクティブマトリクス型液晶表示装置の構造と、画素部に入力される表示信号の極性については、図 4 ～図 9 に示したものと同じであるので、本実施例では説明を省略する。

【 0 1 8 2 】

なお、本実施例では、図 1 の第 1 の SDRAM 2 0 3 と第 2 の SDRAM 2 0 4 と第 3 の SDRAM 2 0 7 における映像信号の書き込みと読み出しは、図 1 3 に示したタイミングで行われるとは限らない。第 1 及び第 2 の読み出し期間が、書き込み期間よりも長いいても良いし、短くても良い。ただし、2 つ以上の SDRAM に映像信号が書きこまれたり、また 2 つ以上の SDRAM から映像信号が読み出されたりすることがないように、ブランク期間の長さを調整することが重要である。

【 0 1 8 3 】

またブランク期間は、書き込み期間と第 1 読み出し期間との間に設けても良いし、第 2 読み出し期間と書き込み期間の間に設けても良い。また第 1 読み出し期

間と第 2 読み出し期間の間に設けても良い。

【0184】

2 回読み出された映像信号はデータフォーマット部 2 0 5 に入力される。

【0185】

(実施例 4)

本実施例では、アナログ方式で駆動する本発明の半導体表示装置の詳しい構成について説明する。図 9 にアナログ方式で駆動する本発明の半導体表示装置の一例を、ブロック図で示す。

【0186】

3 0 1 はソース信号線駆動回路、3 0 2 はゲート信号線駆動回路、3 0 3 は画素部を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを 1 つずつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を 2 つ設けても良いし、ゲート信号線駆動回路を 2 つ設けても良い。

【0187】

ソース信号線駆動回路 3 0 1 は、シフトレジスタ 3 0 1 _ 1、レベルシフト 3 0 1 _ 2、サンプリング回路 3 0 1 _ 3 を有している。なおレベルシフト 3 0 1 _ 2 は必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフト 3 0 1 _ 2 はシフトレジスタ 3 0 1 _ 1 とサンプリング回路 3 0 1 _ 3 との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ 3 0 1 _ 1 の中にレベルシフト 3 0 1 _ 2 が組み込まれている構成にしても良い。

【0188】

画素部 3 0 3 では、ソース信号線駆動回路 3 0 1 に接続されたソース信号線 3 0 4 と、ゲート信号線駆動回路 3 0 2 に接続されたゲート信号線 3 0 6 とが交差している。そのソース信号線 3 0 4 とゲート信号線 3 0 6 とに囲まれた領域に、画素 3 0 5 の薄膜トランジスタ（画素 TFT）3 0 7 と、対向電極と画素電極の間に液晶を挟んだ液晶セル 3 0 8 と、保持容量 3 0 9 とが設けられている。なお本実施例では保持容量 3 0 9 を設けた構成を示すが、保持容量 3 0 9 は必ずしも設ける必要はない。

【0189】

またゲート信号線駆動回路302は、シフトレジスタ、バッファ（いずれも図示せず）を有している。また、レベルシフトを有していても良い。

【0190】

パネル制御信号であるソース用のクロック信号（S-CLK）、ソース用のスタートパルス信号（S-SP）がシフトレジスタ301__1に入力される。シフトレジスタ301__1から表示信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト301__2に入力され、その電位の振幅が大きくなって出力される。

【0191】

レベルシフト301__2から出力されたサンプリング信号は、サンプリング回路301__3に入力される。そして同時に、映像信号線（図示せず）を介して映像信号がサンプリング回路301__3に入力される。

【0192】

サンプリング回路301__3において、入力された映像信号がサンプリング信号によってそれぞれサンプリングされ、表示信号としてソース信号線304に入力される。

【0193】

画素TFT307は、ゲート信号線駆動回路302からゲート信号線306を介して入力される選択信号によってオンの状態になる。サンプリングされてソース信号線304に入力された表示信号は、オンの状態の画素TFT307を介して所定の画素305の画素電極に入力される。

【0194】

この入力された表示信号の電位により液晶が駆動し、透過光量を制御して、画素305に画像の一部（各画素に相当する画像）が表示される。

【0195】

なお本実施例は、実施例1～3と自由に組み合わせることが可能である。

【0196】

（実施例5）

本実施例では、実施例4で示したソース信号線駆動回路301の詳しい回路構成について説明する。なお実施例4で示したソース信号線駆動回路は、本実施例で示す構成に限定されない。

【0197】

図15に本実施例のソース信号線駆動回路の回路図を示す。301__1はシフトレジスタ、301__2はレベルシフト、301__3はサンプリング回路を示している。

【0198】

ソース用のクロック信号S-CLK、ソース用のスタートパルス信号S-SP、駆動方向切り替え信号SL/Rは、それぞれ図に示した配線からシフトレジスタ301__1に入力される。映像信号は映像信号線310を介してサンプリング回路301__3に入力される。本実施例では4分割で分割駆動した場合の例を示す。よって、映像信号線310は4本存在する。しかし本実施例はこの構成に限定されず、分割数は任意に定めることができる。

【0199】

各映像信号310に入力された映像信号は、サンプリング回路301__3において、レベルシフト301__2から入力されるサンプリング信号によってサンプリングされる。具体的には、映像信号はサンプリング回路301__3が有するアナログスイッチ311においてサンプリングされ、それぞれ対応するソース信号線304__1～304__4に同時に入力される。

【0200】

上記動作を繰り返すことによって、全てのソース信号線に表示信号が入力される。

【0201】

図16(A)にアナログスイッチ311の等価回路図を示す。アナログスイッチ311はnチャネル型TFTとpチャネル型TFTとを有している。映像信号が図に示す配線からVinとして入力される。そしてレベルシフト301__2から出力されたサンプリング信号と該サンプリング信号とは逆の極性を有する信号が、それぞれINまたはINbから入力される。このサンプリング信号によって

映像信号がサンプリングされ、表示信号として V_{out} から出力される。

【0202】

図16 (B) にレベルシフト301__2の等価回路図を示す。シフトレジスタ301__1から出力されたサンプリング信号と該サンプリング信号とは逆の極性を有する信号が、それぞれ V_{in} または V_{inb} から入力される。また、 V_{ddh} はプラスの電圧、 V_{ss} はマイナスの電圧の印加を示している。レベルシフト301__2は、 V_{in} に入力された信号を高電圧化し反転させた信号が、 V_{outb} から出力されるように設計されている。つまり、 V_{in} に H_i が入力されると V_{outb} から V_{ss} 相当の信号が、 L_o が入力されると V_{out} から V_{ddh} 相当の信号が出力される。

【0203】

なお本実施例は、実施例1～4と自由に組み合わせることが可能である。

【0204】

(実施例6)

以下に、本発明の半導体表示装置が有するフレームレート変換部について、図17を用いて説明する。

【0205】

図17に示すフレームレート変換部100は図1に示したものと同一であるので、詳しい動作や構成についての説明は、実施の形態を参照する。ただし、本実施例では、フレームレート変換部100から出力された映像信号は、D/A変換回路に入力せずに、デジタルのままソース信号線駆動回路に入力している。

【0206】

なおSDRAMの数は2つに限定されず、2つ以上であればいくつでも良い。

【0207】

本実施例で用いるデジタル方式で駆動する半導体表示装置について、図18を用いて説明する。

【0208】

図18にデジタル方式で駆動する本発明の半導体表示装置のブロック図を示す。ここでは、4ビットのデジタル駆動方式の半導体表示装置を例にとっている。

なお本実施例で用いられるデジタル駆動方式の半導体表示装置は図 1 8 に示した構造に限定されない。デジタルの映像信号を用いて表示を行うことができれば、半導体表示装置がどのような構造を有していても良い。

【 0 2 0 9 】

デジタル駆動方式の半導体表示装置は、図 1 8 に示すように、ソース信号線駆動回路 4 1 2、ゲート信号線駆動回路 4 0 9 及び画素部 4 1 3 が設けられている。

【 0 2 1 0 】

ソース信号線駆動回路 4 1 2 は、シフトレジスタ 4 0 1、ラッチ 1 (LAT1) 4 0 3、ラッチ 2 (LAT2) 4 0 4 及び D/A 変換回路 4 0 6 が設けられている。そしてフレームレート変換部 1 0 0 からデジタルの映像信号がアドレス線 4 0 2 (a~d) に入力されている。

【 0 2 1 1 】

アドレス線 4 0 2 (a~d) はラッチ 1 (LAT1) 4 0 3 に接続されている。またラッチパルス線 4 0 5 がラッチ 2 (LAT2) 4 0 4 に接続されている。また階調電圧線 4 0 7 が D/A 変換回路 4 0 6 に接続されている。

【 0 2 1 2 】

なお本実施例では、ラッチ 1 4 0 3 およびラッチ 2 4 0 4 (LAT1 および LAT2) は、それぞれ 4 個のラッチが便宜上一まとめに示されている。

【 0 2 1 3 】

そしてソース信号線駆動回路 4 1 2 の D/A 変換回路 4 0 6 に接続されたソース信号線 4 0 8 と、ゲート信号線駆動回路 4 0 9 に接続されたゲート信号線 4 1 0 が画素部 4 1 3 に設けられている。

【 0 2 1 4 】

画素部 4 1 3 において、ソース信号線 4 0 8 と、ゲート信号線 4 1 0 とが交差した部分に画素 4 1 5 が設けられており、画素 4 1 5 は画素 TFT 4 1 1 及び液晶セル 4 1 4 を有している。

【 0 2 1 5 】

シフトレジスタ 4 0 1 からのタイミング信号により、アドレス線 4 0 2 (a~

d) に供給されたデジタルの映像信号が、全てのLAT1 403に順次書き込まれる。なお、本明細書において、全てのLAT1 403をLAT1群と総称する。

【0216】

LAT1群へのデジタルの映像信号の書き込みが一通り終了するまでの期間は、1ライン期間と呼ばれる。すなわち、一番左側のLAT1へのデジタルの映像信号の書き込みが開始されてから、一番右側のLAT1へのデジタルの映像信号の書き込みが終了する時点までの期間が1ライン期間である。なお、LAT1群へのデジタルの映像信号の書き込みが一通り終了するまでの期間と、水平帰線期間とを合わせて、1つのライン期間としても良い。

【0217】

LAT1群に対するデジタルの映像信号の書き込みが終了した後、LAT1群に書き込まれたデジタルの映像信号は、ラッチパルス線405に入力されるラッチシグナルによって、全てのLAT2 404に一斉に伝送され、書き込まれる。なお、本明細書において、全てのLAT2をLAT2群と総称する。

【0218】

デジタルの映像信号をLAT2群に伝送した後、2順目のライン期間が開始される。よって、シフトレジスタ401からのタイミング信号により、再びLAT1群に、アドレス線402(a～d)に供給されるデジタルの映像信号の書き込みが順次行なわれる。

【0219】

この2順目の1ライン期間の開始に合わせて、LAT2群に書き込まれたデジタルの映像信号がD/A変換回路406に一斉に入力される。そして入力されたデジタルの表示信号は、D/A変換回路406において、そのデジタルの映像信号の有する画像情報に応じた電圧を有するアナログの表示信号に変換され、ソース信号線408に入力される。

【0220】

ゲート信号線駆動回路409から出力される選択信号によって、対応する画素TFT411のスイッチングが行われ、ソース信号線408に入力されるアナロ

グの表示信号によって液晶分子が駆動される。

【0221】

本実施例ではアドレス線402に入力される映像信号の値を各フレーム期間ごとに変化させることで、D/A変換回路406から出力されるアナログの映像信号の極性を変化させている。

【0222】

なお本実施例は、実施例1～3と自由に組み合わせることが可能である。

【0223】

(実施例7)

本発明の半導体表示装置の1つである液晶表示装置の作成方法の一例について、図19～図22を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられるソース信号線駆動回路及びゲート信号線駆動回路のTFTを同時に作製する方法について、工程に従って詳細に説明する。

【0224】

図19(A)において、基板501にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板や石英基板などを用いる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板501のTFTを形成する表面に、基板501からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜502を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜502aを10～200nm（好ましくは50～100nm）、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜502bを50～200nm（好ましくは100～150nm）の厚さに積層して形成する。ここでは下地膜502を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

【0225】

酸化窒化シリコン膜502aは平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜502aは、 SiH_4 を10SCCM、 NH_3 を100SCCM、

N_2O を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜502bは、 SiH_4 を5SCCM、 N_2O を120SCCM、 H_2 を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzの条件下で形成した。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することができる。

【0226】

このようにして作製した酸化窒化シリコン膜502aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム(NH_4HF_2)を7.13%とフッ化アンモニウム(NH_4F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0227】

次に、25~80nm(好ましくは30~60nm)の厚さで非晶質構造を有する非晶質半導体層503aを、プラズマCVD法やスパッタ法などの方法で形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。プラズマCVD法で非晶質半導体層503aとして非晶質シリコン膜を形成する場合には、下地膜502と非晶質半導体層503aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜502aと酸化窒化水素化シリコン膜502bをプラズマCVD法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜502bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0228】

そして、結晶化の工程を行い非晶質半導体層503aから結晶質半導体層503bを作製する。その方法としてレーザーアニール法や熱アニール法(固相成長

法)、またはラピットサーマルアニール法(RTA法)を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層503bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400~500℃で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0229】

また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスに SiH_4 とアルゴン(Ar)を用い、成膜時の基板温度を400~450℃として形成すると、非晶質シリコン膜の含有水素濃度を5atomic%以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

【0230】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発振型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数300Hzとし、レーザーエネルギー密度を100~500mJ/cm²(代表的には300~400mJ/cm²)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を50~90%として行う。このようにして図19(B)に示すように結晶質半導体層503bを得ることができる。

【0231】

そして、結晶質半導体層503b上に第1のフォトマスク(PM1)を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図19(C)に示すように島状半導体層504~508を形成する。結晶質シリコン膜のドライエッチングにはC

F_4 と O_2 の混合ガスを用いる。

【0232】

このような島状半導体層に対し、TFTのしきい値電圧 (V_{th}) を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素 (B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法 (或いはイオンシャワードーピング法) を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン (B_2H_6) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0233】

ゲート絶縁膜509はプラズマCVD法またはスパッタ法を用い、膜厚を40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜から形成する。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。また、 SiH_4 と N_2O と H_2 とから作製する酸化窒化シリコン膜はゲート絶縁膜の界面欠陥密度を低減できるので好ましい。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、TEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波 (13.56MHz) 電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。(図19(C))

【0234】

そして、図19(D)に示すように、第1の形状のゲート絶縁膜509上にゲ

ート電極を形成するための耐熱性導電層 5 1 1 を 2 0 0 ~ 4 0 0 nm (好ましくは 2 5 0 ~ 3 5 0 nm) の厚さで形成する。耐熱性導電層 5 1 1 は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層には T a、T i、W から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法や C V D 法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては 3 0 p p m 以下とすると良い。本実施例では W 膜を 3 0 0 nm の厚さで形成する。W 膜は W をターゲットとしてスパッタ法で形成しても良いし、6 フッ化タンゲステン (W F₆) を用いて熱 C V D 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 2 0 $\mu \Omega$ c m 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 9 9 . 9 9 9 9 % の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 2 0 $\mu \Omega$ c m を実現することができる。

【 0 2 3 5 】

一方、耐熱性導電層 5 1 1 に T a 膜を用いる場合には、同様にスパッタ法で形成することが可能である。T a 膜はスパッタガスに A r を用いる。また、スパッタ時のガス中に適量の X e や K r を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α 相の T a 膜の抵抗率は 2 0 $\mu \Omega$ c m 程度でありゲート電極に使用することができるが、β 相の T a 膜の抵抗率は 1 8 0 $\mu \Omega$ c m 程度でありゲート電極とするには不向きであった。T a N 膜は α 相に近い結晶構造を持つので、T a 膜の下地に T a N 膜を形成すれば α 相の T a 膜が容易に得られる。また、図示しないが、耐熱性導電層 5 1 1 の下に 2 ~ 2 0 nm 程度の厚さでリン (P) をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層 5 1 1 が微量に含有するアルカリ金属元素が第 1 の形状のゲート絶縁

膜 509 に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層 511 は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0236】

次に、第 2 のフォトマスク (PM2) を用い、フォトリソグラフィの技術を使用してレジストによるマスク 512 ~ 517 を形成する。そして、第 1 のエッチング処理を行う。本実施例では ICP エッチング装置を用い、エッチング用ガスに Cl_2 と CF_4 を用い、1 Pa の圧力で 3.2 W/cm^2 の RF (13.56 MHz) 電力を投入してプラズマを形成して行う。基板側 (試料ステージ) にも 224 mW/cm^2 の RF (13.56 MHz) 電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件で W 膜のエッチング速度は約 100 nm/min である。第 1 のエッチング処理はこのエッチング速度を基に W 膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を 20% 増加させた時間をエッチング時間とした。

【0237】

第 1 のエッチング処理により第 1 のテーパー形状を有する導電層 518 ~ 523 が形成される。導電層 518 ~ 523 のテーパー部の角度は $15 \sim 30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、10 ~ 20% 程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W 膜に対する酸化窒化シリコン膜 (第 1 の形状のゲート絶縁膜 509) の選択比は 2 ~ 4 (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ nm}$ 程度エッチングされ第 1 のテーパー形状を有する導電層 518 ~ 523 の端部近傍にテーパー形状が形成された第 2 の形状のゲート絶縁膜 580 が形成される。

【0238】

そして、第 1 のドーピング処理を行い一導電型の不純物元素を島状半導体層に添加する。ここでは、n 型を付与する不純物元素添加の工程を行う。第 1 の形状の導電層を形成したマスク 512 ~ 517 をそのまま残し、第 1 のテーパー形状を有する導電層 518 ~ 523 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加する。n 型を付与する不純物元素をゲート電極の

端部におけるテーパ部と第2の形状のゲート絶縁膜580とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を80～160 keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドープ法により第1の不純物領域524～528には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加され、テーパ部の下方に形成される第2の不純物領域(A)529～533には同領域内で必ずしも均一ではないが $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。(図20(A))

【0239】

この工程において、第2の不純物領域(A)529～533において、少なくとも第1の形状の導電層518～523と重なった部分に含まれるn型を付与する不純物元素の濃度変化は、テーパ部の膜厚変化を反映する。即ち、第2の不純物領域(A)529～533へ添加されるリン(P)の濃度は、第1の形状の導電層518～523に重なる領域において、該導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためである。

【0240】

次に、図20(B)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、RF電力 3.2 W/cm^2 (13.56MHz)、バイアス電力 45 mW/cm^2 (13.56MHz)、圧力 1.0 Pa でエッチングを行う。この条件で形成される第2の形状を有する導電層540～545が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は $30 \sim 60^\circ$ となる。マスク512～517はエッチングされて端部が削れ、マスク534～539となる。また、第2の形状のゲート絶縁膜580の表面が40nm程度エッチングされ、

新たに第3の形状のゲート絶縁膜570が形成される。

【0241】

そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、第2の形状を有する導電層540～545と重なる領域の不純物濃度を $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms}/\text{cm}^3$ となるようにする。このようにして、第2の不純物領域(B)546～550を形成する。

【0242】

そして、pチャネル型TFTを形成する島状半導体層504、506に一導電型とは逆の導電型の不純物領域556、557を形成する。この場合も第2の形状の導電層540、542をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層505、507、508は、第3のフォトマスク(PM3)を用いてレジストのマスク551～553を形成し全面を被覆しておく。ここで形成される不純物領域556、557はジボラン(B_2H_6)を用いたイオンドープ法で形成する。不純物領域556、557のp型を付与する不純物元素の濃度は、 $2 \times 10^{20} \sim 2 \times 10^{21} \text{atoms}/\text{cm}^3$ となるようにする。

【0243】

しかしながら、この不純物領域556、557は詳細にはn型を付与する不純物元素を含有する3つの領域に分けて見ることができる。第3の不純物領域556a、557aは $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms}/\text{cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(A)556b、557bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{atoms}/\text{cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(B)556c、557cは $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms}/\text{cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域556b、556c、557b、557cのp型を付与する不純物元素の濃度を $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 以上となるようにし、第3の不純物領域556a、557aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.

5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。また、第4の不純物領域(B)556c、557cは一部が第2のテーパ形状を有する導電層540または542と一部が重なって形成される。

【0244】

その後、図21(A)に示すように、第2の形状を有する導電層540～545およびゲート絶縁膜570上に第1の層間絶縁膜558を形成する。第1の層間絶縁膜558は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜558は無機絶縁物材料から形成する。第1の層間絶縁膜558の膜厚は100～200nmとする。第1の層間絶縁膜558として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSとO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。また、第1の層間絶縁膜558として酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH₄、N₂O、NH₃から作製される酸化窒化シリコン膜、またはSiH₄、N₂Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波(60MHz)電力密度0.1～1.0W/cm²で形成することができる。また、第1の層間絶縁膜558としてSiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH₄、NH₃から作製することが可能である。

【0245】

そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を

行った。また、基板 5 0 1 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【 0 2 4 6 】

活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。いずれにしても、島状半導体層 5 0 4 ～ 5 0 8 中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01～0.1 atomic% 程度付与すれば良い。

【 0 2 4 7 】

そして、有機絶縁物材料からなる第2の層間絶縁膜 5 5 9 を1.0～2.0 μm の平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【 0 2 4 8 】

このように、第2の層間絶縁膜 5 5 9 を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜 5 5 8 として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【 0 2 4 9 】

その後、第4のフォトマスク（PM4）を用い、所定のパターンのレジストマ

スクを形成し、それぞれの島状半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜559をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜558をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0250】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトマスク（PM5）によりレジストマスクパターンを形成し、エッチングによってソース線560～564とドレイン線565～568を形成する。画素電極569はドレイン線と一緒に形成される。画素電極571は隣の画素に帰属する画素電極を表している。図示していないが、本実施例ではこの配線を、Ti膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する不純物領域とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300～400nmの厚さで形成し、さらにその上に透明導電膜を80～120nmの厚さで形成した。透明導電膜には酸化インジウム酸化亜鉛合金（ In_2O_3 - ZnO ）、酸化亜鉛（ ZnO ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）などを好適に用いることができる。

【0251】

こうして5枚のフォトマスクにより、同一の基板の上に、駆動回路（ソース信号線駆動回路及びゲート信号線駆動回路）のTFTと、画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT600、第1のnチャネル型TFT601、第2のpチャネル型TFT602、第2のnチャネル型TFT603、画素部には画素TFT604、保持容量605が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0252】

第1のpチャネル型TFT600には、第2のテーパ形状を有する導電層がゲート電極620としての機能を有し、島状半導体層504にチャネル形成領域606、ソース領域またはドレイン領域として機能する第3の不純物領域607a、ゲート電極620と重ならないLDD領域を形成する第4の不純物領域(A)607b、一部がゲート電極620と重なるLDD領域を形成する第4の不純物領域(B)607cを有する構造となっている。

【0253】

第1のnチャネル型TFT601には、第2のテーパ形状を有する導電層がゲート電極621としての機能を有し、島状半導体層505にチャネル形成領域608、ソース領域またはドレイン領域として機能する第1の不純物領域609a、ゲート電極621と重ならないLDD領域を形成する第2の不純物領域(A)609b、一部がゲート電極621と重なるLDD領域を形成する第2の不純物領域(B)609cを有する構造となっている。チャネル長 $2 \sim 7 \mu\text{m}$ に対して、第2の不純物領域(B)609cがゲート電極621と重なる部分の長さは $0.1 \sim 0.3 \mu\text{m}$ とする。このLDDの長さはゲート電極621の厚さとテーパ一部の角度から制御する。nチャネル型TFTにおいてこのようなLDD領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。

【0254】

駆動回路の第2のpチャネル型TFT602は同様に、第2のテーパ形状を有する導電層がゲート電極622としての機能を有し、島状半導体層506にチャネル形成領域610、ソース領域またはドレイン領域として機能する第3の不純物領域611a、ゲート電極622と重ならないLDD領域を形成する第4の不純物領域(A)611b、一部がゲート電極622と重なるLDD領域を形成する第4の不純物領域(B)611cを有する構造となっている。

【0255】

駆動回路の第2のnチャネル型TFT603には、第2のテーパ形状を有する導電層がゲート電極623としての機能を有し、島状半導体層507にチャネ

ル形成領域 612、ソース領域またはドレイン領域として機能する第1の不純物領域 613a、ゲート電極 623と重ならないLDD領域を形成する第2の不純物領域(A) 613b、一部がゲート電極 623と重なるLDD領域を形成する第2の不純物領域(B) 613cを有する構造となっている。第2のnチャネル型TFT 601と同様に第2の不純物領域(B) 613cがゲート電極 623と重なる部分の長さは0.1~0.3 μm とする。

【0256】

駆動回路はシフトレジスタ、バッファ等のロジック回路やアナログスイッチで形成されるサンプリング回路などを有している。図21(B)ではこれらを形成するTFTを一对のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造で示したが、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

【0257】

画素TFT 604には、第2のテーパ形状を有する導電層がゲート電極 624としての機能を有し、島状半導体層 508にチャネル形成領域 614a、614b、ソース領域またはドレイン領域として機能する第1の不純物領域 615a、617、ゲート電極 624と重ならないLDD領域を形成する第2の不純物領域(A) 615b、一部がゲート電極 624と重なるLDD領域を形成する第2の不純物領域(B) 615cを有する構造となっている。第2の不純物領域(B) 613cがゲート電極 624と重なる部分の長さは0.1~0.3 μm とする。また、第1の不純物領域 617から延在し、第2の不純物領域(A) 619b、第2の不純物領域(B) 619c、導電型を決定する不純物元素が添加されていない領域 618を有する半導体層と、第3の形状を有するゲート絶縁膜と同層で形成される絶縁層と、第2のテーパ形状を有する導電層から形成される容量配線 625から保持容量 605が形成されている。

【0258】

画素TFT 604のゲート電極 624はゲート絶縁膜 570を介してその下の島状半導体層 508と交差し、さらに複数の島状半導体層に跨って延在してゲート信号線を兼ねている。保持容量 605は、画素TFT 604のドレイン領域 6

27から延在する半導体層とゲート絶縁膜570を介して容量配線625が重なる領域で形成されている。この構成において半導体層618には、価電子制御を目的とした不純物元素は添加されていない。

【0259】

以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体表示装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を、耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。さらに、ゲート電極にゲート絶縁膜を介して重なるLDD領域を形成する際に、導電性を制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

【0260】

アクティブマトリクス型の液晶表示装置の場合、第1のpチャネル型TFT600と第1のnチャネル型TFT601は高速動作を重視するシフトレジスタ、バッファ、レベルシフトなどを形成するのに用いる。図21(B)ではこれらの回路をロジック回路部として表している。第1のnチャネル型TFT601の第2の不純物領域(B)609cはホットキャリア対策を重視した構造となっている。さらに、耐圧を高め動作を安定化させるために、ロジック回路部のTFTを一对のソース・ドレイン間に2つのゲート電極を設けたダブルゲート構造にしても良い。ダブルゲート構造のTFTは本実施例の工程を用いて同様に作製できる。

【0261】

また、アナログスイッチで構成するサンプリング回路には、ロジック回路部と同様な構成の第2のpチャネル型TFT602と第2のnチャネル型TFT603を適用することができる。サンプリング回路はホットキャリア対策と低オフ電流動作が重視されるので、サンプリング回路部の第2のpチャネル型TFT602を、一对のソース領域・ドレイン領域間に3つのゲート電極を設けたトリプルゲート構造にしても良く、このようなTFTは本実施例の工程を用いて同様に作

製できる。チャンネル長は $3 \sim 7 \mu\text{m}$ として、ゲート電極と重なるLDD領域をL_{ov}としてそのチャンネル長方向の長さは $0.1 \sim 0.3 \mu\text{m}$ とする。

【0262】

このように、TFTのゲート電極の構成をシングルゲート構造とするか、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造とするかは、回路の特性に応じて実施者が適宜選択すれば良い。

【0263】

次に、図22(A)に示すように、図21(B)の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 μm の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどを用いて、 $150 \sim 200^\circ\text{C}$ で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さを $1.2 \sim 5 \mu\text{m}$ とし、平均半径を $5 \sim 7 \mu\text{m}$ 、平均半径と底部の半径との比を1対1.5とする。このとき側面のテーパ角は $\pm 15^\circ$ 以下とする。

【0264】

スペーサの配置は任意に決定すれば良いが、好ましくは、図22(A)で示すように、画素部においては画素電極569のコンタクト部631と重ねてその部分を覆うように柱状スペーサ656を形成すると良い。コンタクト部631は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部631にスペーサ用の樹脂を充填する形で柱状スペーサ656を形成することでスペーサ656近傍の電界に乱れによる液晶分子の配向の乱れを防止することができる。また、駆動回路のTFT上にもスペーサ655a \sim 655

e を形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図 2 2 (A) で示すようにソース線およびドレイン線を覆うようにして設けても良い。

【 0 2 6 5 】

その後、配向膜 6 5 7 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ 6 5 6 の端部からラビング方向に対してラビングされない領域が $2 \mu\text{m}$ 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の TFT 上に形成したスペーサ 6 5 5 a ~ 6 5 5 e により静電気から TFT を保護する効果を得ることができる。また図には示さないが、配向膜 6 5 7 を先に形成してから、スペーサ 6 5 6、6 5 5 a ~ 6 5 5 e を形成した構成としても良い。

【 0 2 6 6 】

対向側の対向基板 6 5 1 には、遮光膜 6 5 2、透明導電膜 6 5 3 および配向膜 6 5 4 を形成する。遮光膜 6 5 2 は Ti 膜、Cr 膜、Al 膜などを $150 \sim 300 \text{ nm}$ の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 6 5 8 で貼り合わせる。シール剤 6 5 8 にはフィラー（図示せず）が混入されていて、このフィラーとスペーサ 6 5 6、6 5 5 a ~ 6 5 5 e によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 6 5 9 を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 2 2 (B) に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 2 6 7 】

本実施例で示した作製方法を用いて形成された TFT は、半導体層の結晶性が高いため、応答速度の速さが要求される本発明の半導体表示装置に用いることは

極めて有効である。

【0268】

本発明の半導体表示装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の半導体表示装置は公知の方法を用いて作成することが可能である。

【0269】

なお本実施例は、実施例1～5と自由に組み合わせることが可能である。

【0270】

(実施例8)

本発明は様々な液晶パネルに用いることができる。即ち、それら液晶パネル（アクティブマトリクス型液晶ディスプレイ）を表示媒体として組み込んだ半導体表示装置（電子機器）全てに本発明を実施できる。

【0271】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図23に示す。

【0272】

図23（A）はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に適用することができる。

【0273】

図23（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示部2102に適用することができる。

【0274】

図23（C）は頭部取り付け型のディスプレイの一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明は表示部2206に適

用できる。

【0275】

図23(D)は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（DVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305等を含む。表示部（a）2304は主として画像情報を表示し、表示部（b）2305は主として文字情報を表示するが、本発明の半導体表示装置はこれら表示部（a）、（b）2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0276】

図23(E)はパーソナルコンピュータであり、本体2401、映像入力部2402、表示部2403、キーボード2404で構成される。本発明を映像入力部2402、表示部2403に適用することができる。

【0277】

図23(F)はゴーグル型ディスプレイであり、本体2501、表示部2502、アーム部2503で構成される。本発明は表示部2502に適用することができる。

【0278】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

【0279】

（実施例9）

本発明はプロジェクター（リア型またはフロント型）に適用することができる。それらの一例を図24及び図25に示す。

【0280】

図24(A)はフロント型プロジェクターであり、光源光学系及び表示装置7601、スクリーン7602で構成される。本発明は表示装置7601に適用することができる。

【0281】

図24 (B) はリア型プロジェクターであり、本体7701、光源光学系及び表示装置7702、ミラー7703、ミラー7704、スクリーン7705で構成される。本発明は表示装置7702に適用することができる。

【0282】

なお、図24 (C) は、図24 (A) 及び図24 (B) 中における光源光学系及び表示装置7601、7702の構造の一例を示した図である。光源光学系及び表示装置7601、7702は、光源光学系7801、ミラー7802、7804～7806、ダイクロイックミラー7803、光学系7807、表示装置7808、位相差板7809、投射光学系7810で構成される。投射光学系7810は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示装置7808を三つ使用しているため三板式と呼ばれている。また、図24 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等を設けてもよい。

【0283】

また、図24 (D) は、図24 (C) 中における光源光学系7801の構造の一例を示した図である。本実施例では、光源光学系7801は、リフレクター7811、光源7812、レンズアレイ7813、7814、偏光変換素子7815、集光レンズ7816で構成される。なお、図24 (D) に示した光源光学系は一例であって、この構成に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等を設けてもよい。

【0284】

図24 (C) は三板式の例を示したが、図25 (A) は単板式の一例を示した図である。図25 (A) に示した光源光学系及び表示装置は、光源光学系7901、表示装置7902、投射光学系7903、位相差板7904で構成される。投射光学系7903は、投射レンズを備えた複数の光学レンズで構成される。図25 (A) に示した光源光学系及び表示装置は図24 (A) 及び図24 (B) 中

における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。また、光源光学系 7 9 0 1 は図 2 4 (D) に示した光源光学系を用いればよい。なお、表示装置 7 9 0 2 にはカラーフィルター（図示しない）が設けられており、表示映像をカラー化している。

【0 2 8 5】

また、図 2 5 (B) に示した光源光学系及び表示装置は、図 2 5 (A) の応用例であり、カラーフィルターを設ける代わりに、RGB の回転カラーフィルター円板 7 9 0 5 を用いて表示映像をカラー化している。図 2 5 (B) に示した光源光学系及び表示装置は図 2 4 (A) 及び図 2 4 (B) 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。

【0 2 8 6】

また、図 2 5 (C) に示した光源光学系及び表示装置は、カラーフィルターレス単板式と呼ばれている。この方式は、表示装置 7 9 1 6 にマイクロレンズアレイ 7 9 1 5 を設け、ダイクロイックミラー（緑）7 9 1 2、ダイクロイックミラー（赤）7 9 1 3、ダイクロイックミラー（青）7 9 1 4 を用いて表示映像をカラー化している。投射光学系 7 9 1 7 は、投射レンズを備えた複数の光学レンズで構成される。図 2 5 (C) に示した光源光学系及び表示装置は図 2 4 (A) 及び図 2 4 (B) 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。また、光源光学系 7 9 1 1 としては、光源の他に結合レンズ、コリメータレンズを用いた光学系を用いればよい。

【0 2 8 7】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 7 のどのような組み合わせからなる構成を用いても実現することができる。

【0 2 8 8】

【発明の効果】

本発明は上記構成によって、IC に入力される映像信号の周波数を高くすることなくフレーム周波数を高くすることができるため、映像信号を生成している電子機器に負担をかけることなく、観察者にチラツキや縦縞、横縞及び斜め縞が視

認されにくい、鮮明で高精細な画像の表示を行うことができる。

【0289】

また、本発明で特にフレーム反転を用いることによって、隣接画素間にディスクリネーションと呼ばれる現象縞が発生するのを抑え、表示画面全体の明るさが低減されるのを防ぐことができる。

【0290】

さらに、連続する2つの各フレーム期間において、各画素に入力される表示信号の電位は対向電極の電位（対向電位）を基準として反転しているので、画素部に同じ映像が表示される。上記構成により、各画素に入力される表示信号の電位の時間的な平均が対向電位により近くなり、各フレーム期間において異なる表示信号を各画素に入力している場合に比べて、液晶の劣化を防ぐのにより有効である。

【図面の簡単な説明】

【図1】 本発明の半導体表示装置が有するフレームレート変換部のブロック図。

【図2】 フレーム周波数変換部のブロック図。

【図3】 SDRAMの映像信号の書き込みと読み出しのタイミングを示す図。

【図4】 本発明の半導体表示装置の画素部及び駆動回の図と画素のパターン図。

【図5】 画素部における選択信号と表示信号のタイミングチャート。

【図6】 フレーム反転駆動時の画素部に入力される表示信号の極性を示すパターン図。

【図7】 ソースライン反転駆動時の画素部に入力される表示信号の極性を示すパターン図。

【図8】 ゲートライン反転駆動時の画素部に入力される表示信号の極性を示すパターン図。

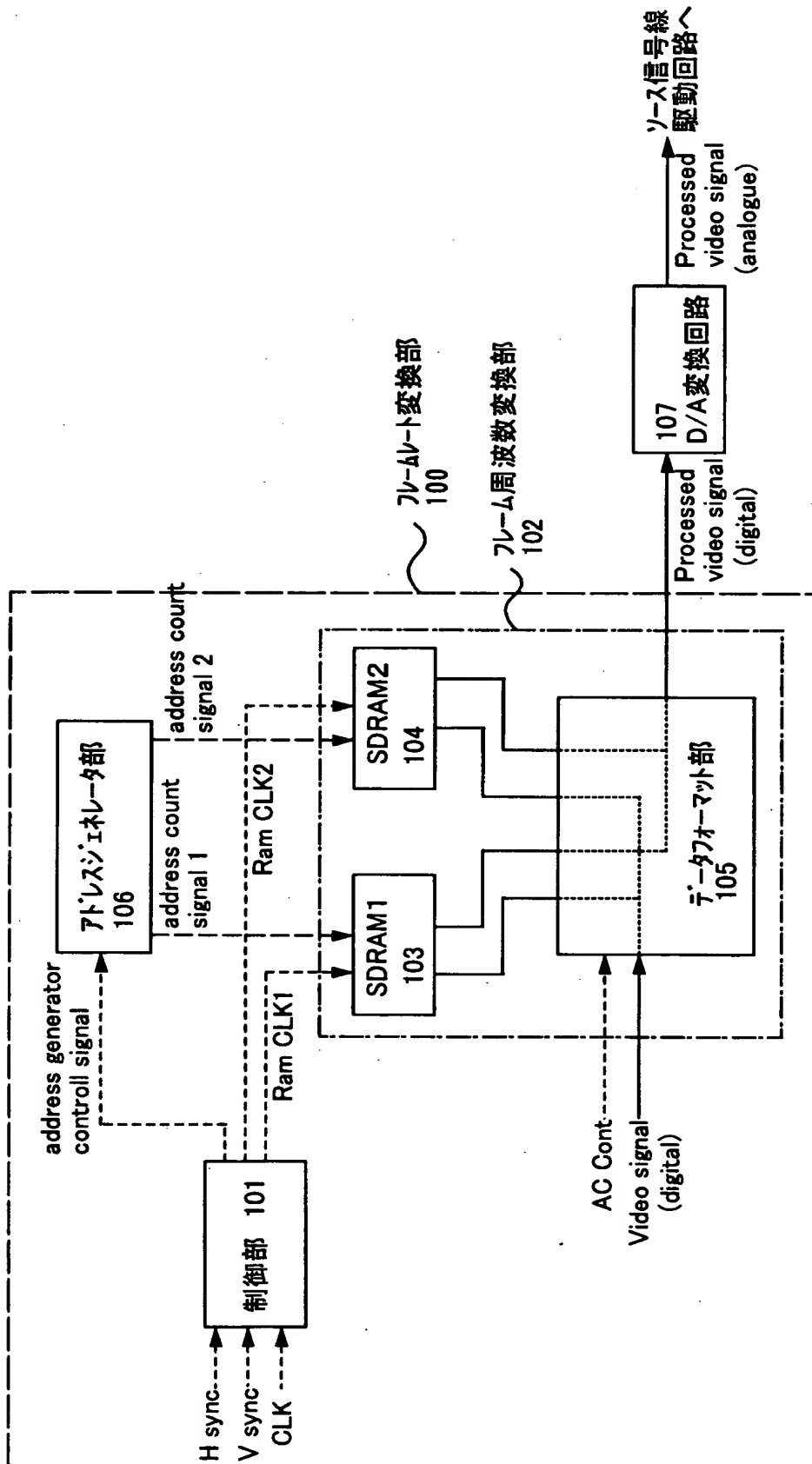
【図9】 ドット反転駆動時の画素部に入力される表示信号の極性を示すパターン図。

【図10】 SDRAMの映像信号の書き込みと読み出しのタイミングを示す図

- 。 【図 1 1】 S D R A M の映像信号の書き込みと読み出しのタイミングを示す図
- 。 【図 1 2】 本発明の半導体表示装置が有するフレームレート変換部のブロック図。
- 【図 1 3】 S D R A M の映像信号の書き込みと読み出しのタイミングを示す図
- 。 【図 1 4】 本発明のアナログ駆動の半導体表示装置の画素部及び駆動回の図。
- 【図 1 5】 ソース信号線駆動回路の回路図。
- 【図 1 6】 アナログスイッチとレベルシフトの回路図。
- 【図 1 7】 本発明の半導体表示装置が有するフレームレート変換部のブロック図。
- 【図 1 8】 本発明のデジタル駆動の半導体表示装置の画素部及び駆動回の図。
- 【図 1 9】 半導体表示装置の作製行程を示す図。
- 【図 2 0】 半導体表示装置の作製行程を示す図。
- 【図 2 1】 半導体表示装置の作製行程を示す図。
- 【図 2 2】 半導体表示装置の作製行程を示す図。
- 【図 2 3】 本発明を適用した電子機器の図。
- 【図 2 4】 本発明を適用したプロジェクターの図。
- 【図 2 5】 本発明を適用したプロジェクターの図。
- 【図 2 6】 アクティブマトリクス型液晶表示装置の上面図、及び画素の配置を示す図。
- 【図 2 7】 交流化駆動における極性パターンを示す図。
- 【図 2 8】 従来のフレーム反転駆動のタイミングチャート図。

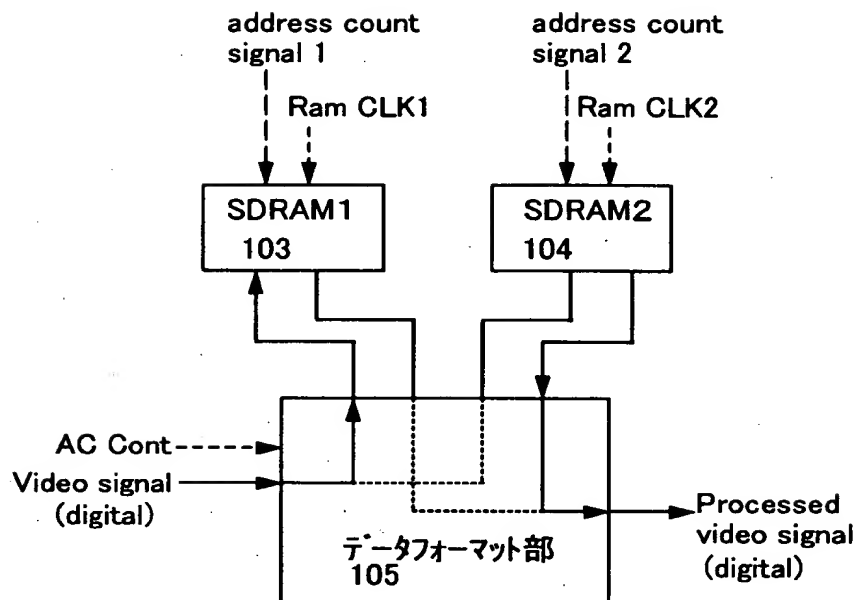
【書類名】 図面

【図 1】

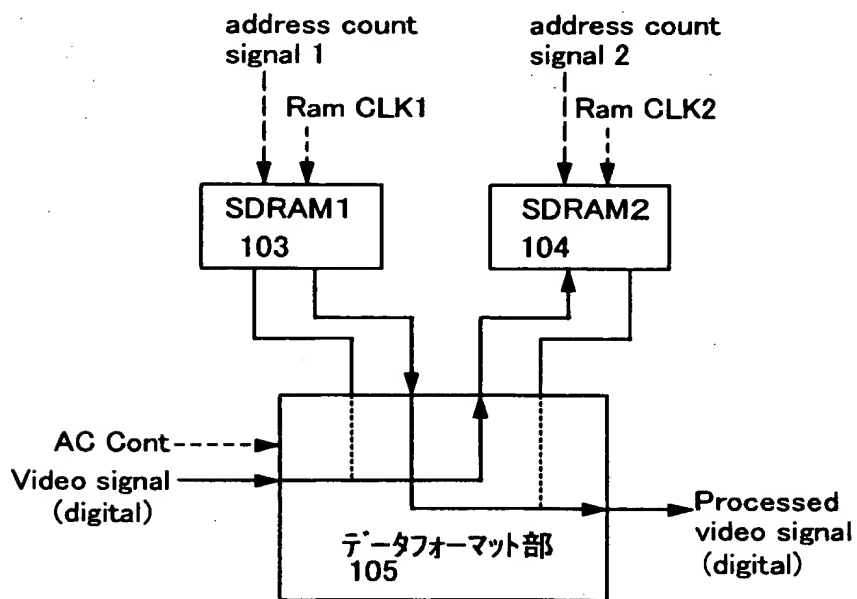


【図 2】

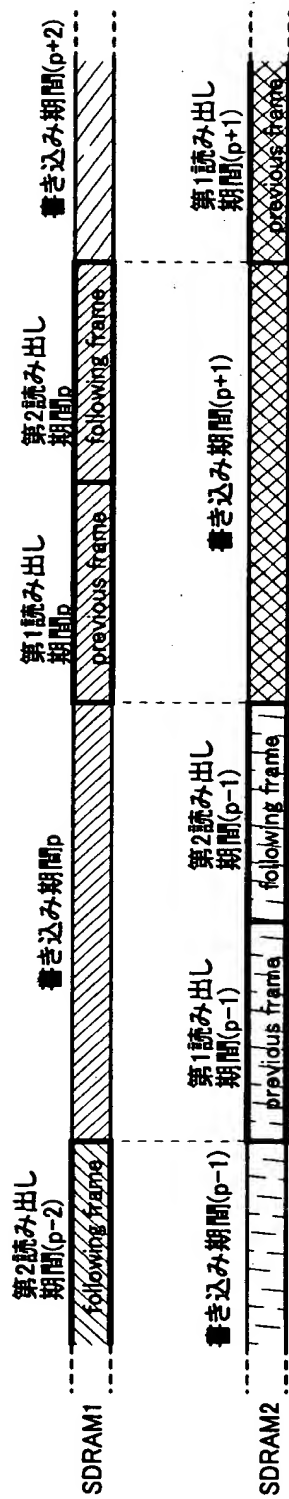
(A)



(B)

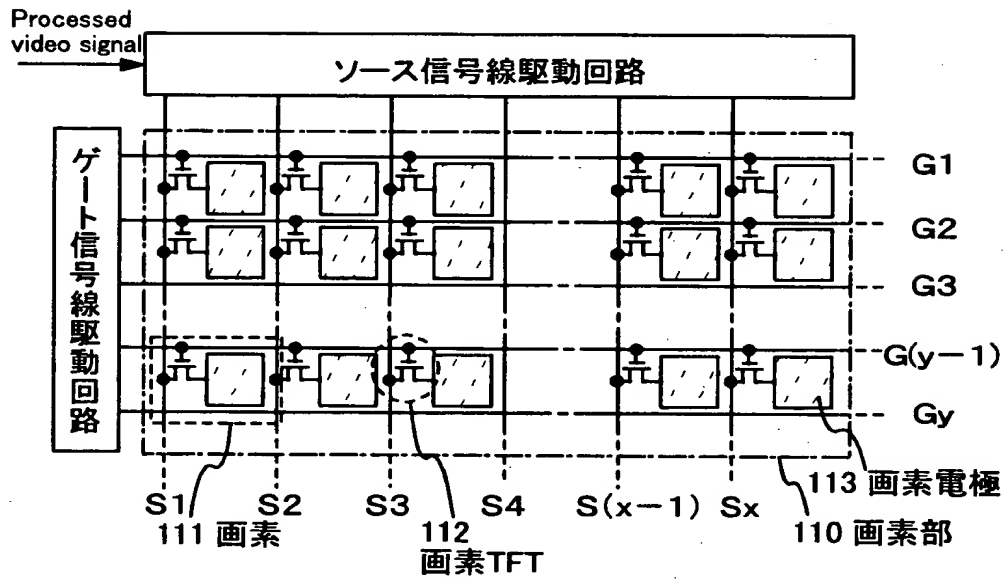


【図 3】



【図 4】

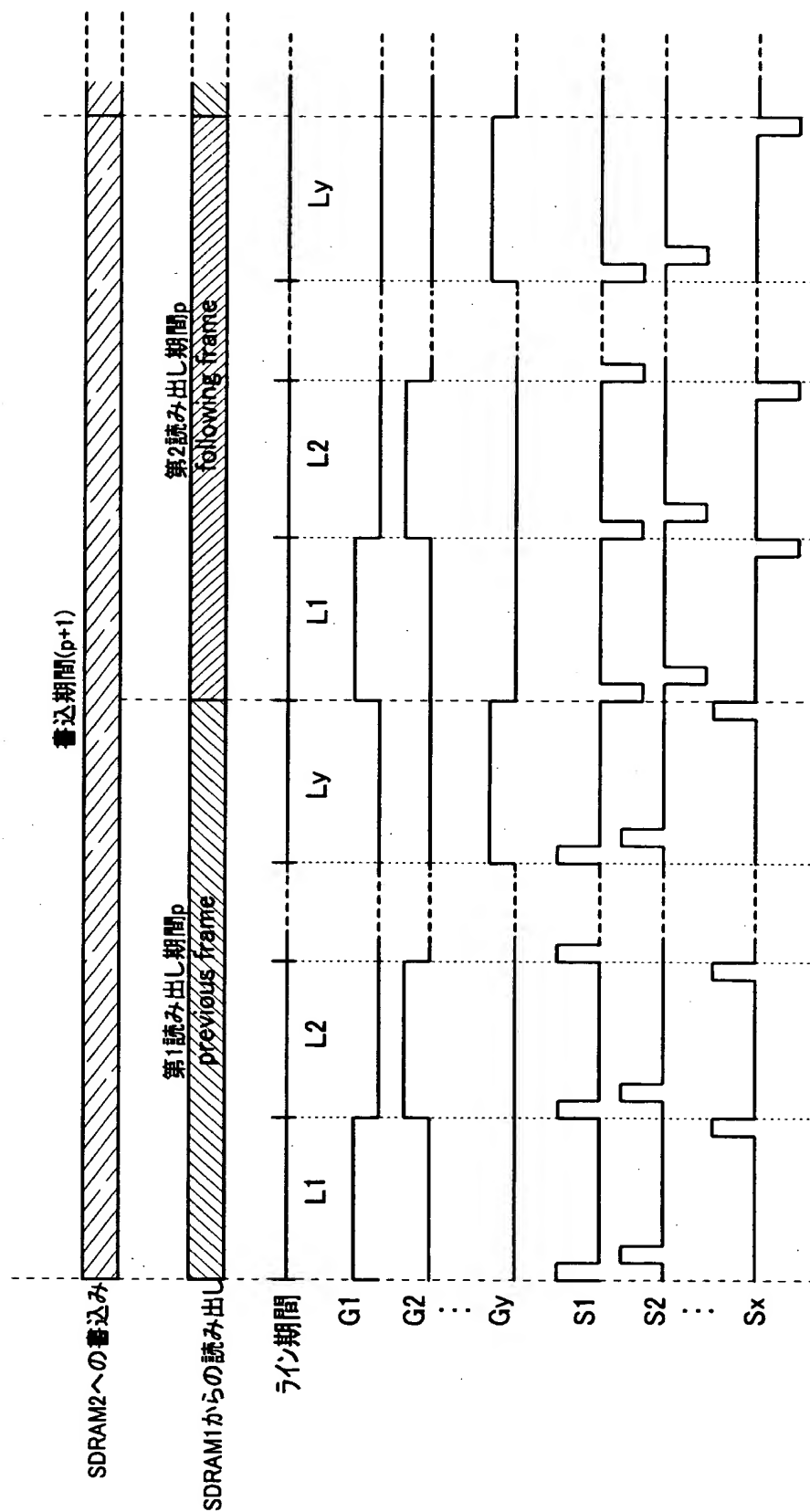
(A)



(B)

(1, 1)	(1, 2)	(1, 3)	(1, 4)	(1, 5)		(1, x)
(2, 1)	(2, 2)	(2, 3)	(2, 4)	(2, 5)		(2, x)
(3, 1)	(3, 2)	(3, 3)	(3, 4)	(3, 5)		(3, x)
(y, 1)	(y, 2)	(y, 3)	(y, 4)	(y, 5)		(y, x)

【図 5】



【図 6】

第1のフレーム期間
(previous frame)

	S_p	$S(p+1)$	$S(p+2)$	$S(p+3)$	$S(p+4)$	$S(p+5)$	$S(p+6)$
G_q	+	+	+	+	+	+	+
$G(q+1)$	+	+	+	+	+	+	+
$G(q+2)$	+	+	+	+	+	+	+
$G(q+3)$	+	+	+	+	+	+	+
$G(q+4)$	+	+	+	+	+	+	+

第2のフレーム期間
(following frame)

-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-

第3のフレーム期間
(previous frame)

+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+

第4のフレーム期間
(following frame)

-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-

第5のフレーム期間
(previous frame)

+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+

【図7】

第1のフレーム期間
(previous frame)

	S_p	$S(p+1)$	$S(p+2)$	$S(p+3)$	$S(p+4)$	$S(p+5)$	$S(p+6)$
G_q	+	-	+		+	-	+
$G(q+1)$	+	-			+	-	+
$G(q+2)$	+	-	+		+	-	+
$G(q+3)$	+	-	+		+	-	+
$G(q+4)$	+	-	+		+	-	+

第2のフレーム期間
(following frame)

-	+	-		-	+	-
-	+			-	+	-
-	+	-		-	+	-
-	+	-		-	+	-
-	+	-		-	+	-

第3のフレーム期間
(previous frame)

+	-			+	-	+
+	-			+	-	+
+	-	+		+	-	+
+	-	+		+	-	+
+	-	+		+	-	+

第4のフレーム期間
(following frame)

-	+			-	+	-
-	+			-	+	-
-	+	-		-	+	-
-	+			-	+	-
-	+			-	+	-

第5のフレーム期間
(previous frame)

+	-			+	-	+
+	-	+		+	-	+
+	-	+		+	-	+
+	-	+		+	-	+
+	-	+		+	-	+

【図 8】

第1のフレーム期間
(previous frame)

	S_p	$S(p+1)$	$S(p+2)$	$S(p+3)$	$S(p+4)$	$S(p+5)$	$S(p+6)$
Gq	+	+	+	+	+	+	+
G(q+1)	-	-	-	-	-	-	-
G(q+2)	+	+	+	+	+	+	+
G(q+3)	-	-	-	-	-	-	-
G(q+4)	+	+	+	+	+	+	+

第2のフレーム期間
(following frame)

-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-

第3のフレーム期間
(previous frame)

+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+

第4のフレーム期間
(following frame)

-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-

第5のフレーム期間
(previous frame)

+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+

特 2 0 0 0 - 2 1 4 0 8 7

【図 9】

第1のフレーム期間
(previous frame)

	S_p	$S(p+1)$	$S(p+2)$	$S(p+3)$	$S(p+4)$	$S(p+5)$	$S(p+6)$
Gq	+	-	+	-	+	-	+
G(q+1)	-	+	-	+	-	+	-
G(q+2)	+	-	+	-	+	-	+
G(q+3)	-	+	-	+	-	+	-
G(q+4)	+	-	+	-	+	-	+

第2のフレーム期間
(following frame)

-	+	-	-	-	+	-
+	-	-	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+
-	+	-	+	-	+	-

第3のフレーム期間
(previous frame)

+	-	+	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+

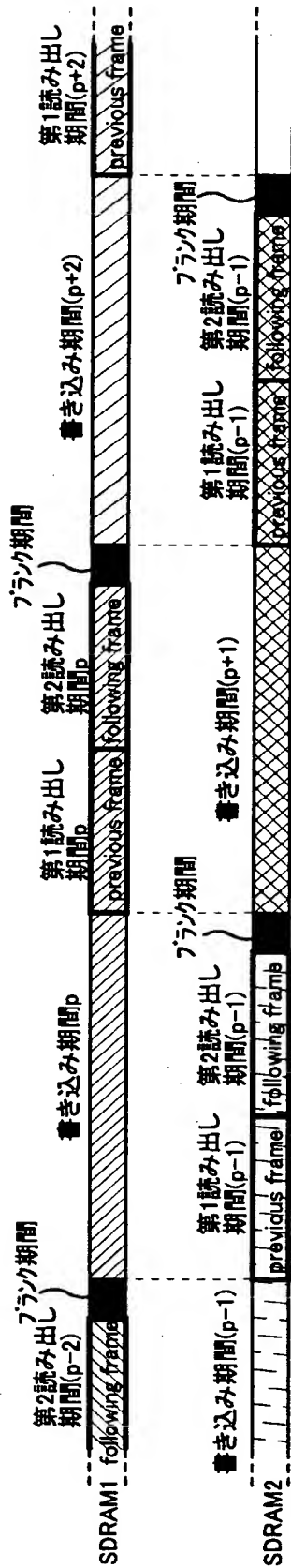
第4のフレーム期間
(following frame)

-	+	-	+	-	+	-
+	-	+	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+
-	+	-	+	-	+	-

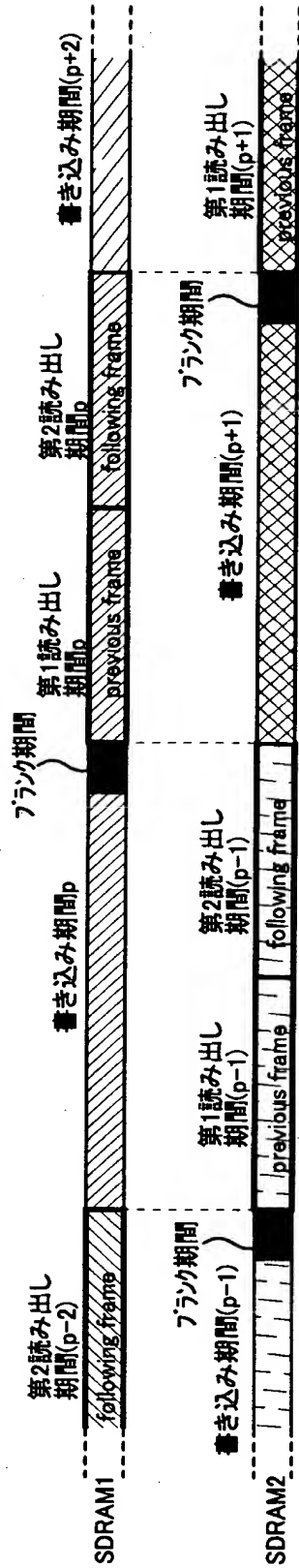
第5のフレーム期間
(previous frame)

+	-	+	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+

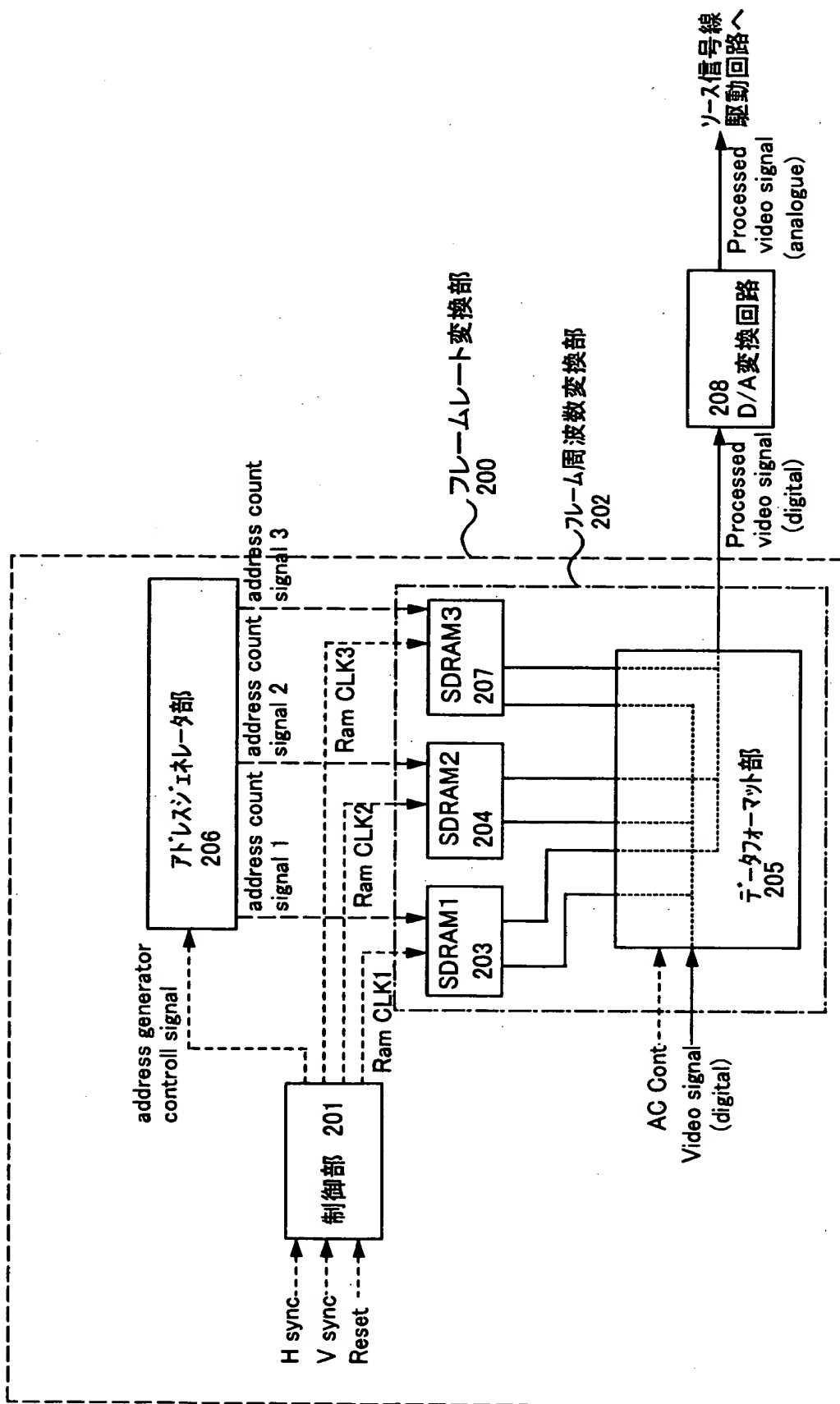
【図 1 0】



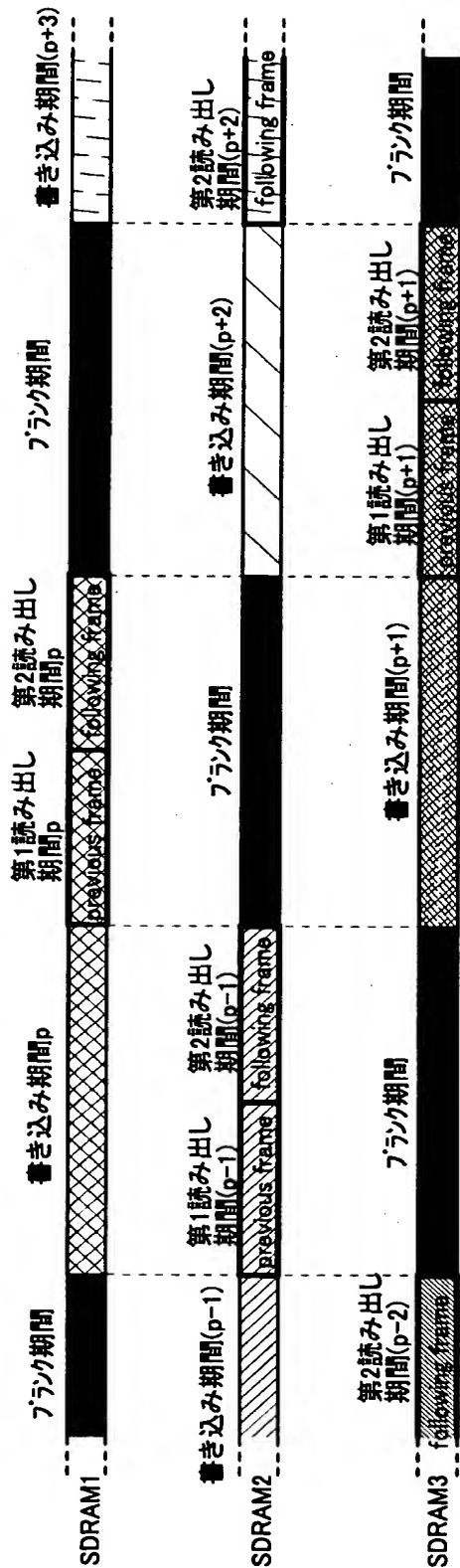
【図 1 1】



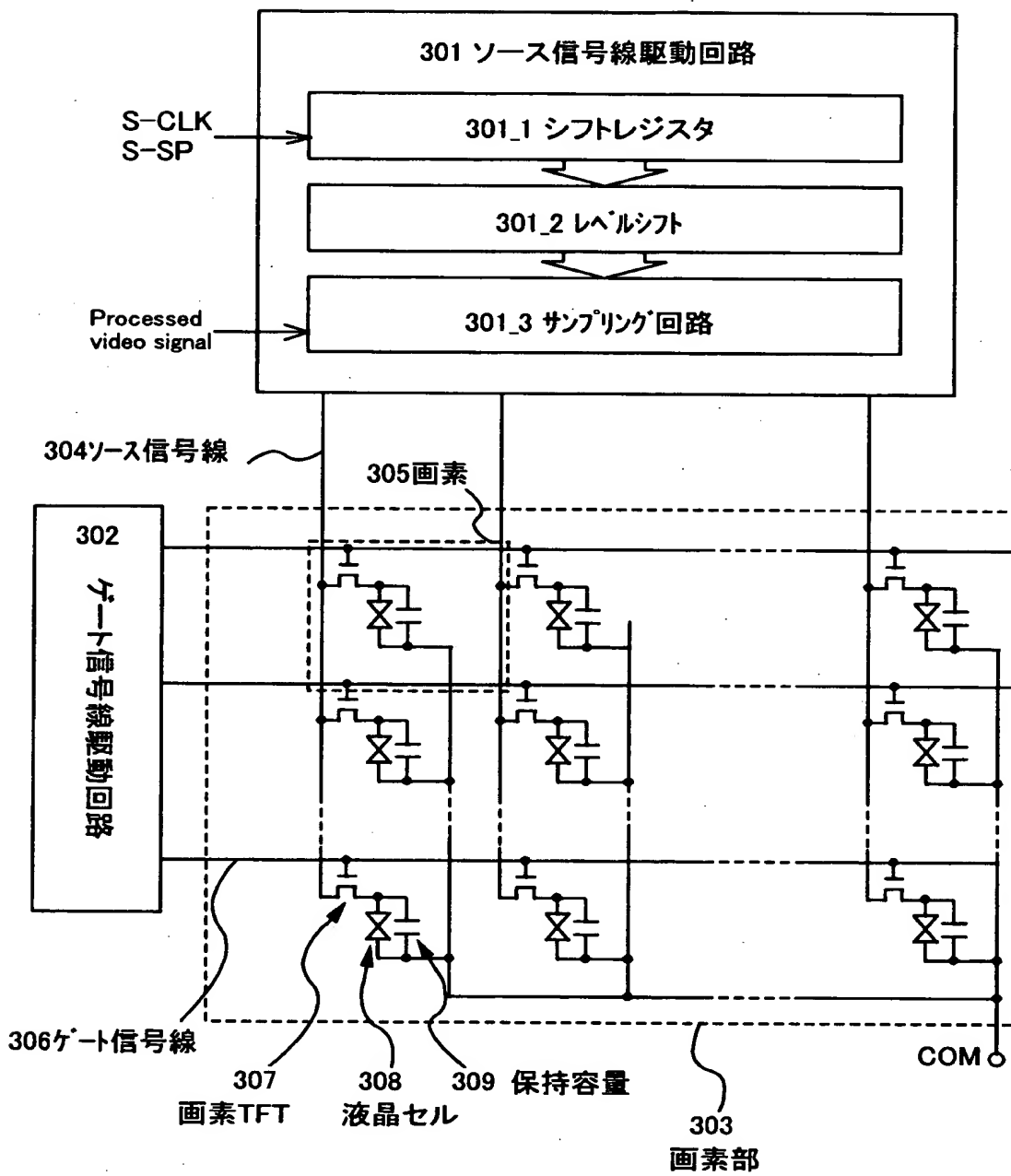
【図12】



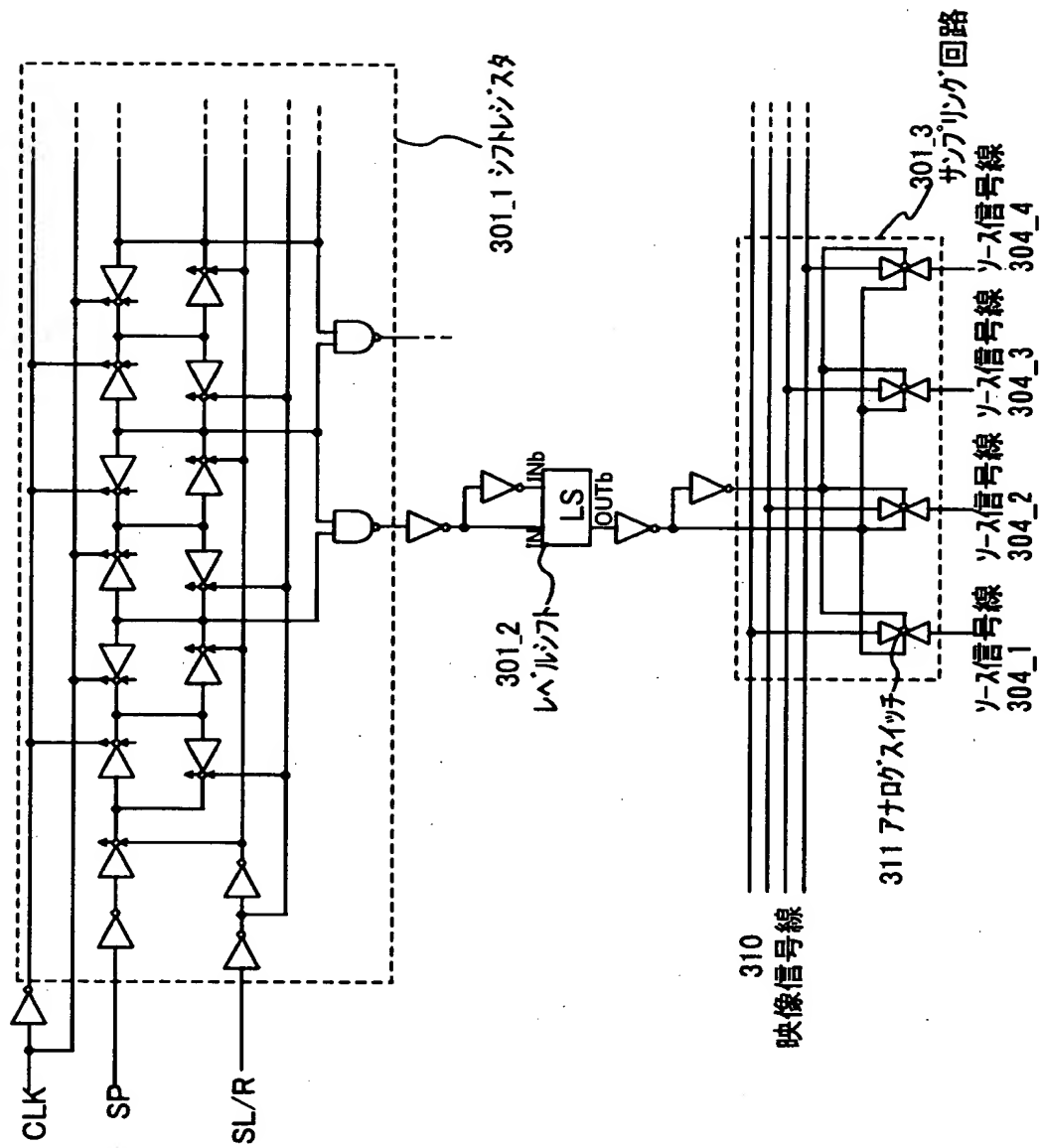
【图 1 3】



【図 1 4】

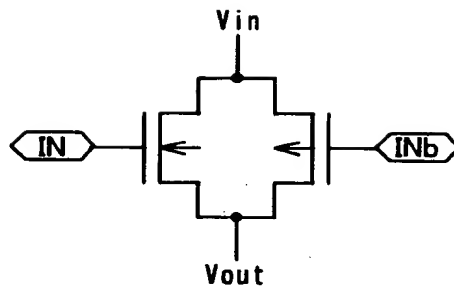


【図 15】

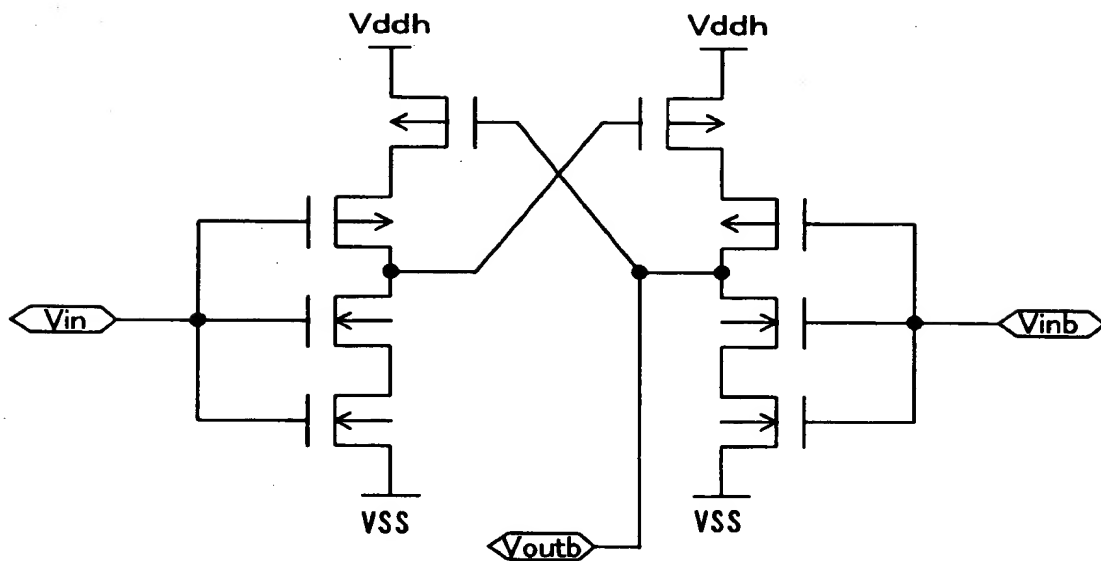


【図 1 6】

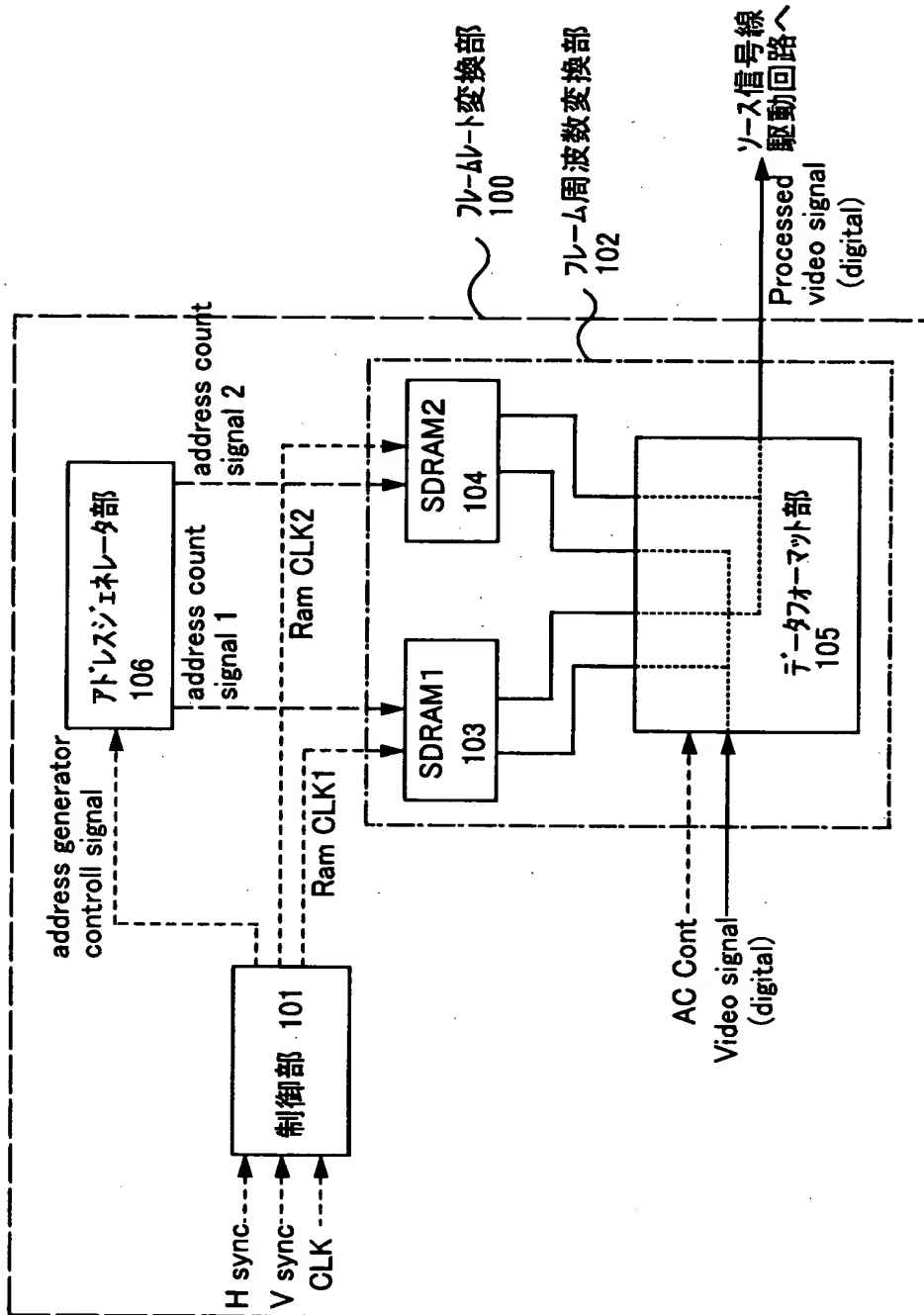
(A)



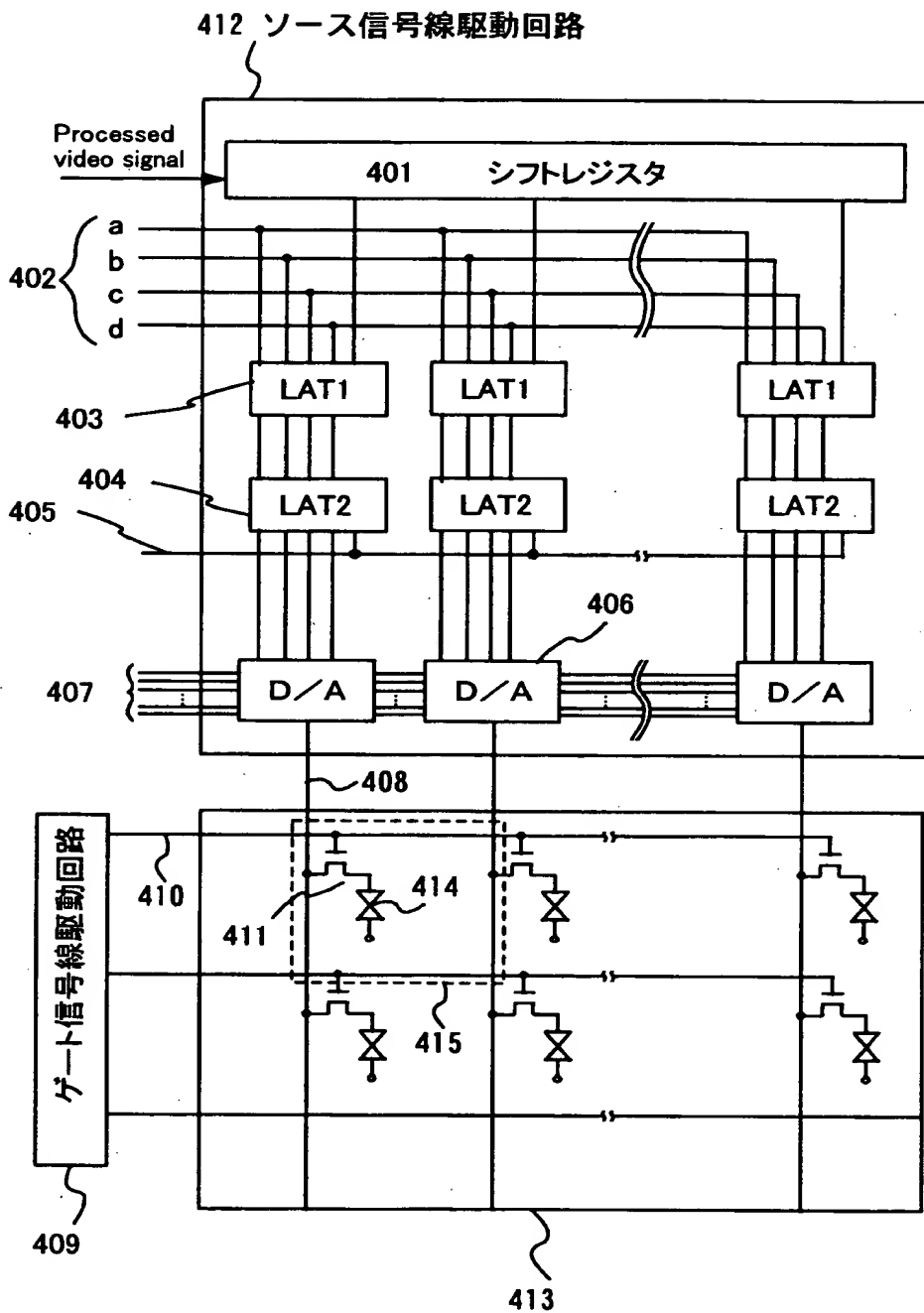
(B)



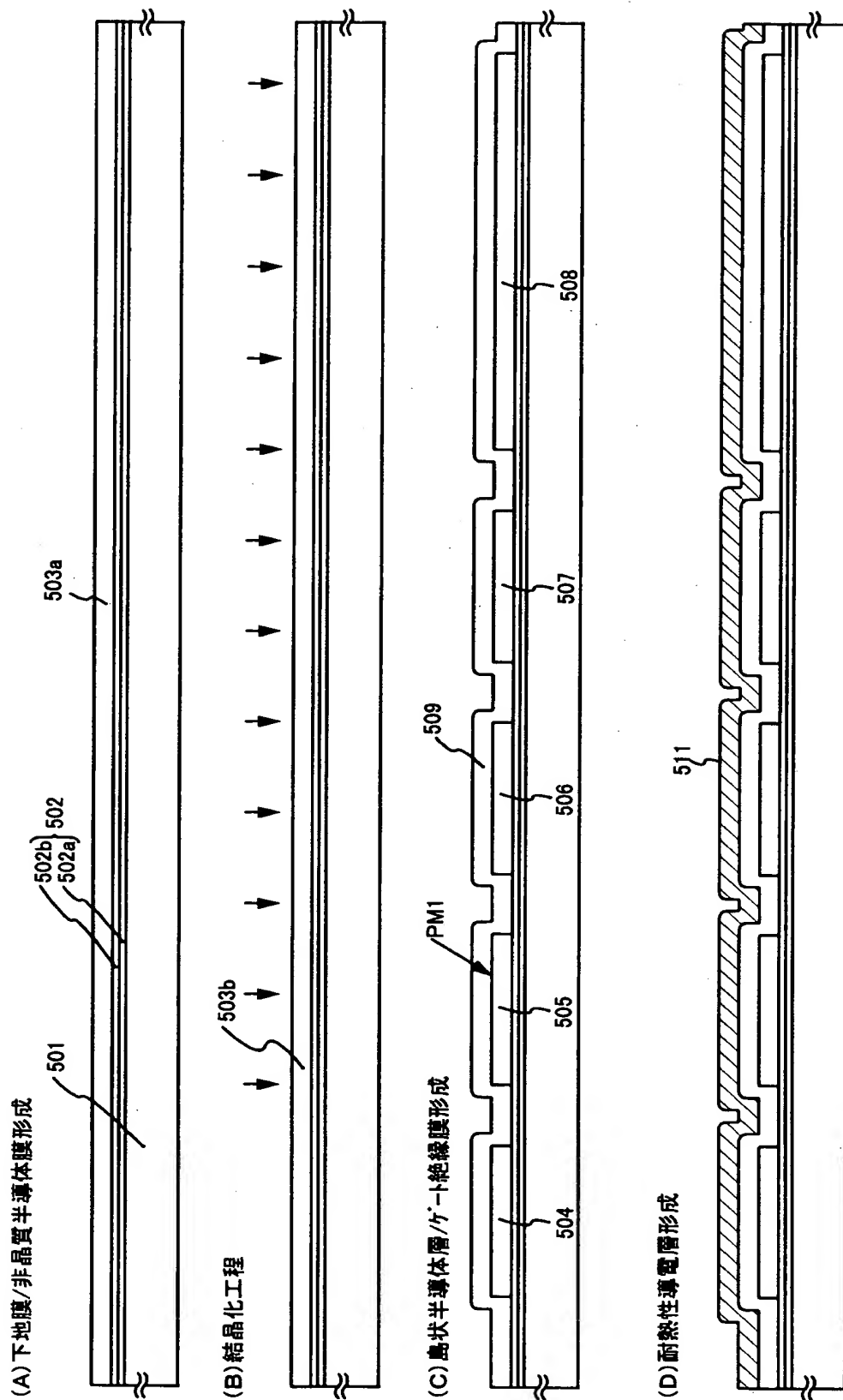
【図 1 7】



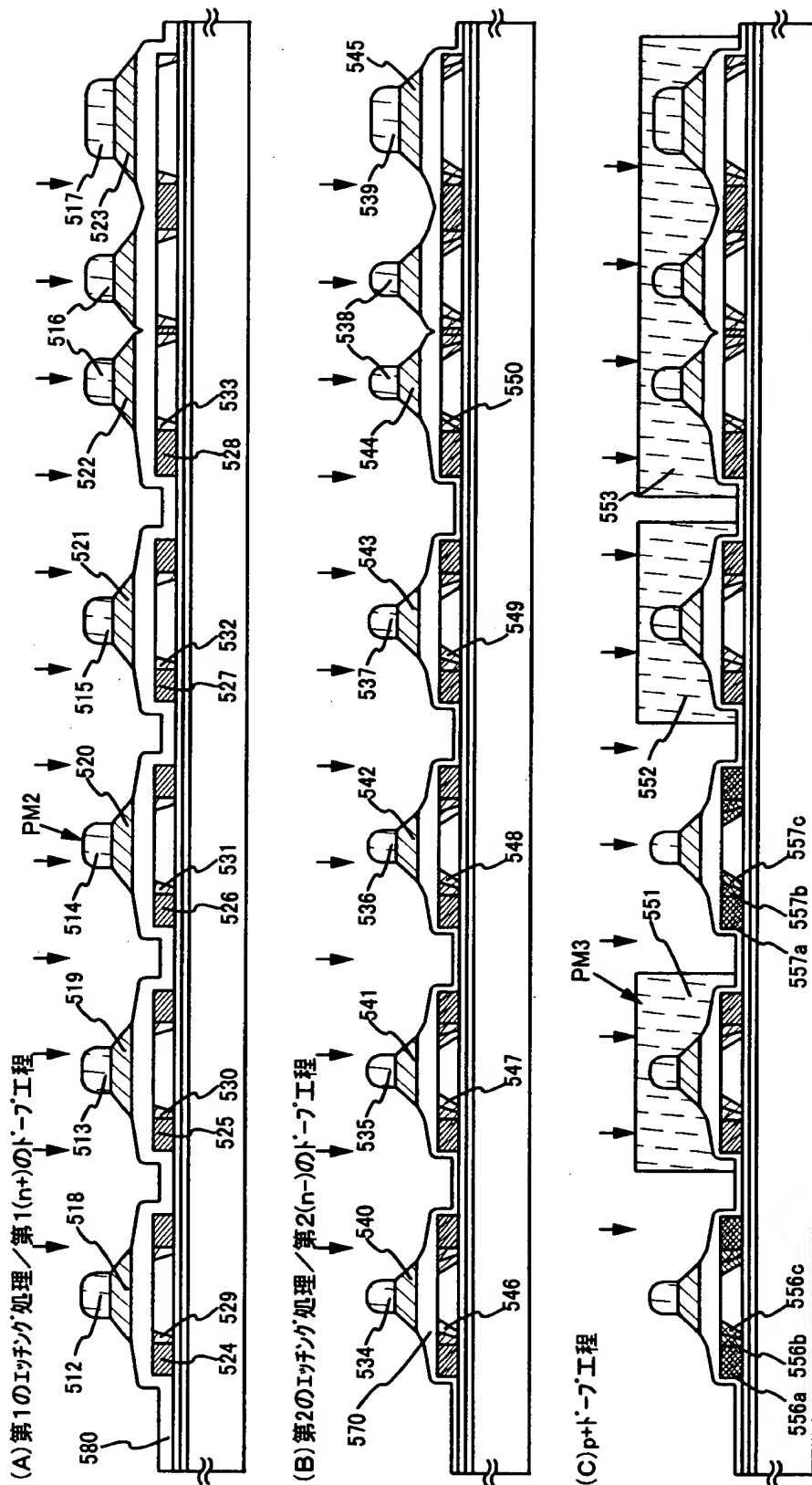
【図 18】



【図 19】

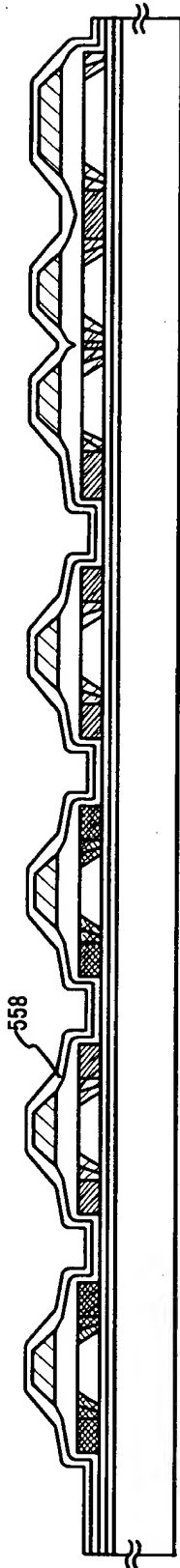


【図20】

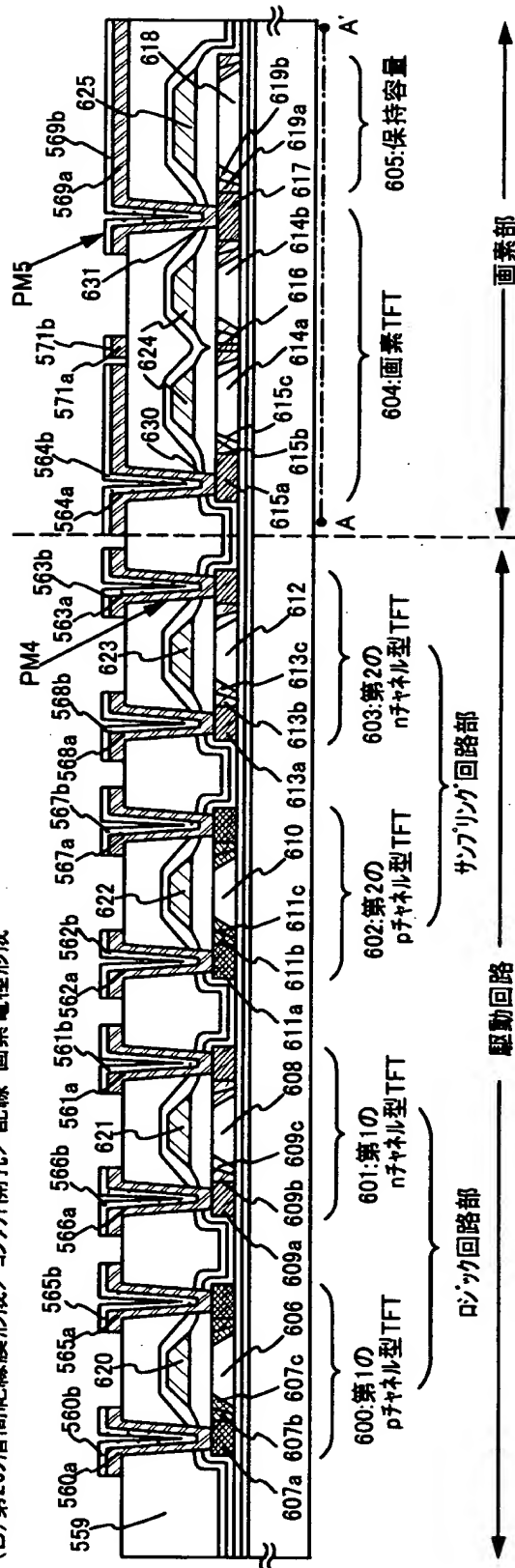


【図21】

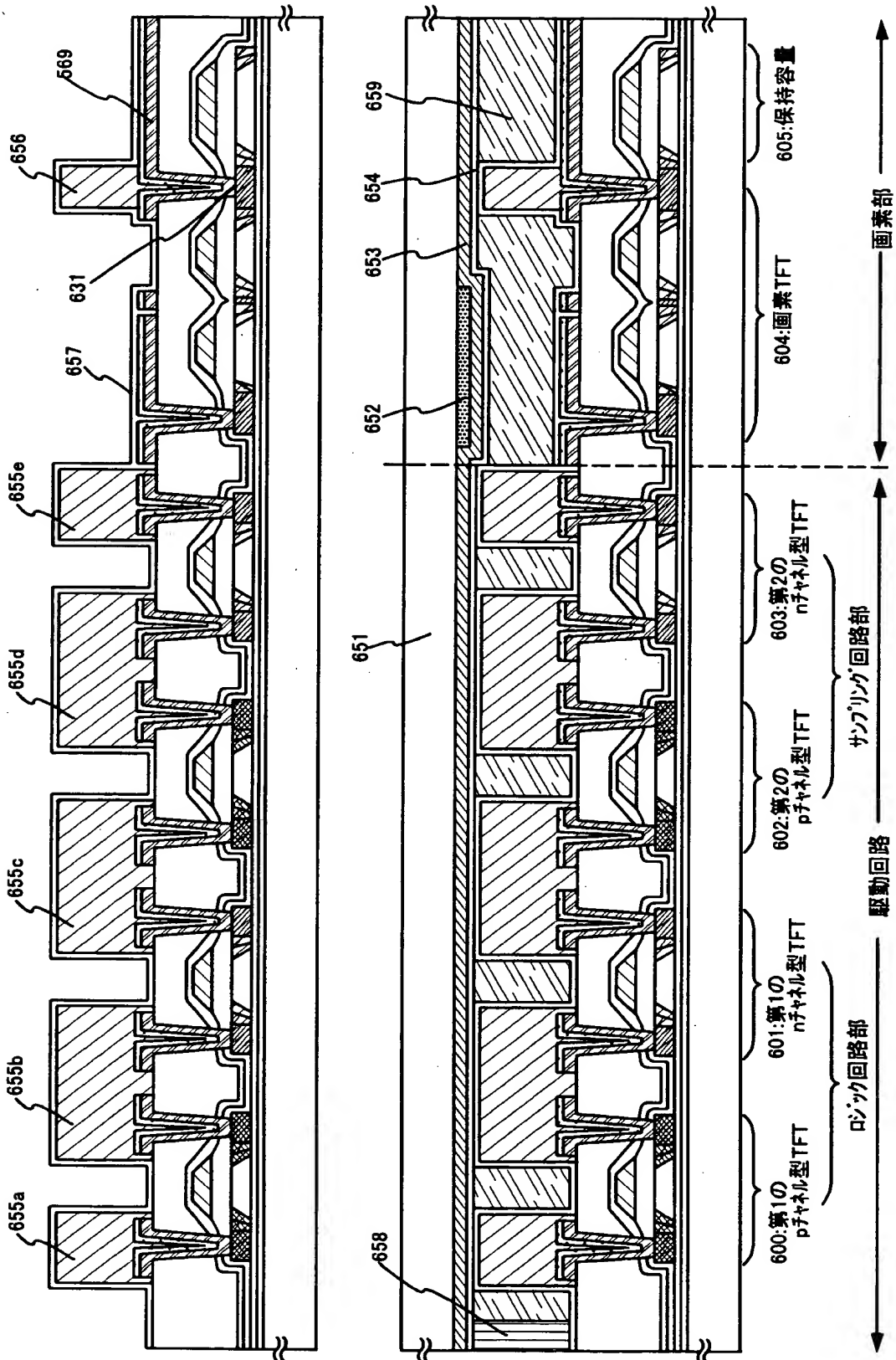
(A) 第1の層間絶縁膜形成



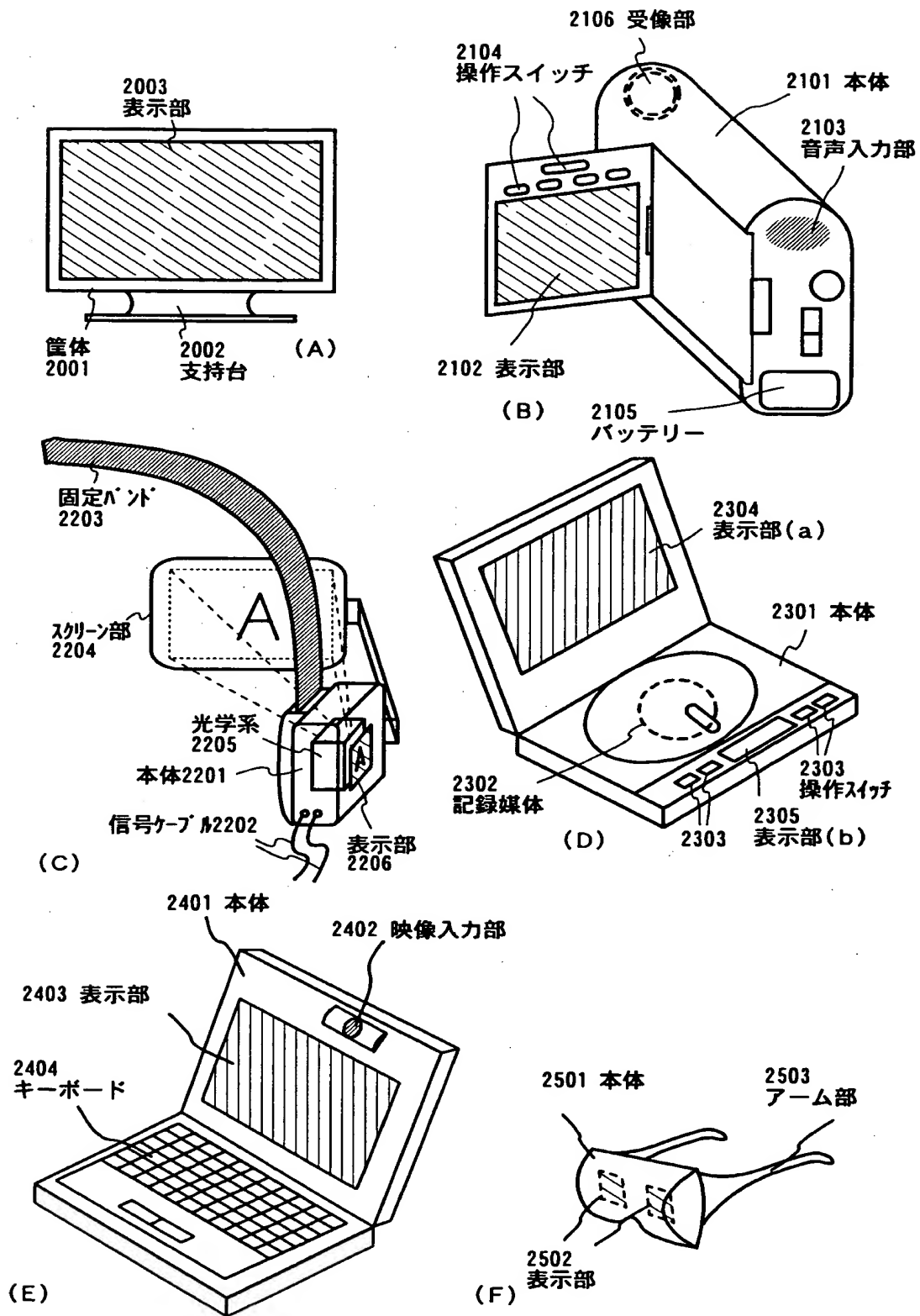
(B) 第2の層間絶縁膜形成/コンタクト開孔/配線・画素電極形成



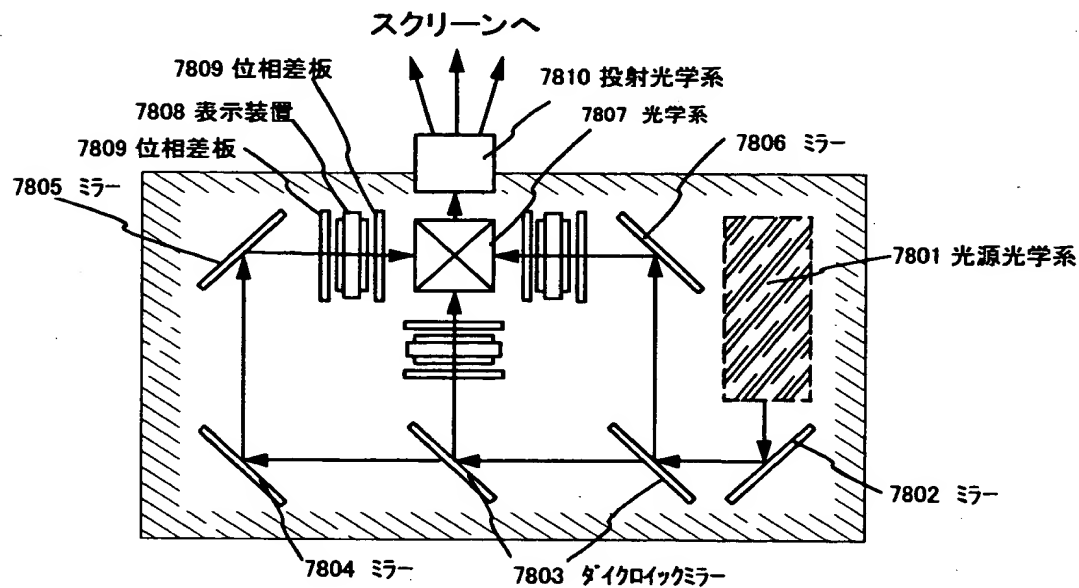
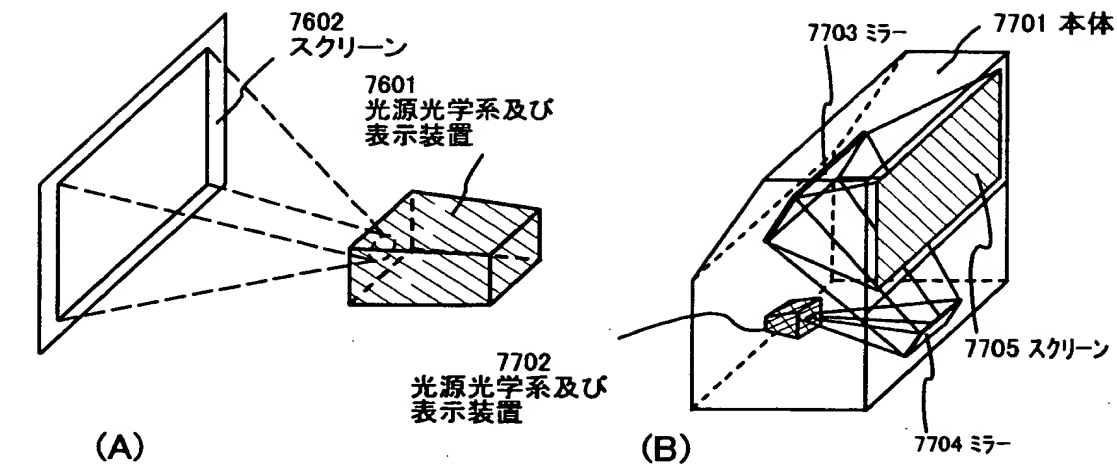
【図 22】



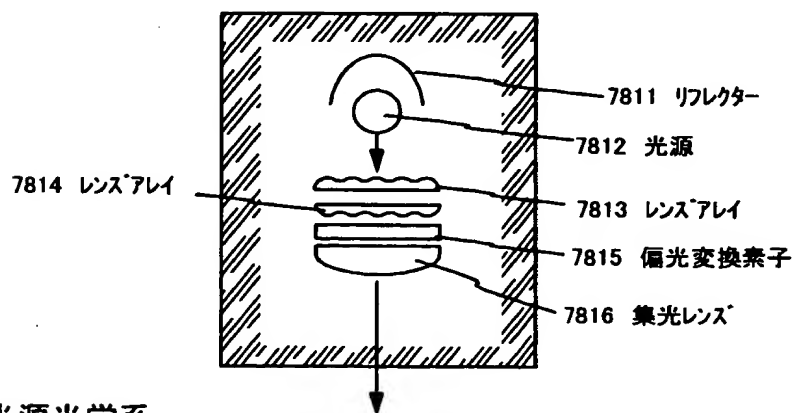
【図 23】



【図 24】

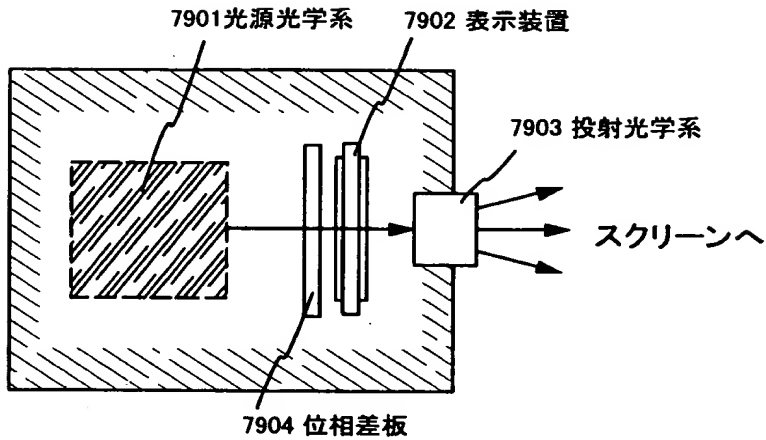


(C)光源光学系及び表示装置(三板式)

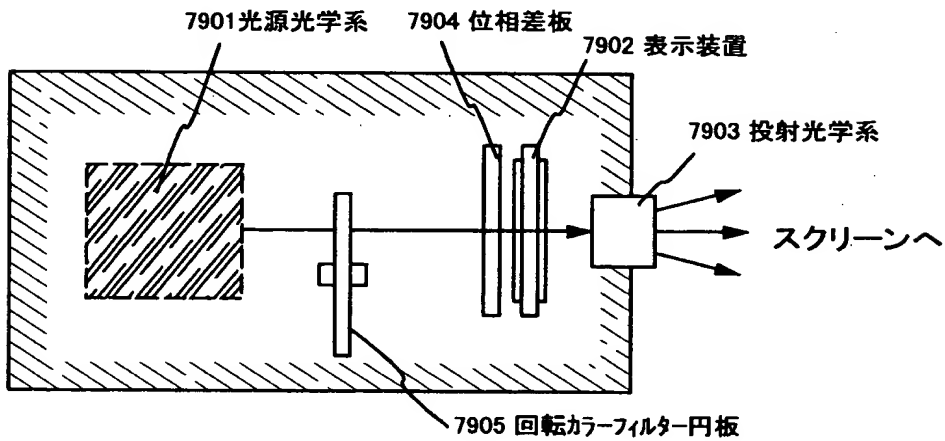


(D)光源光学系

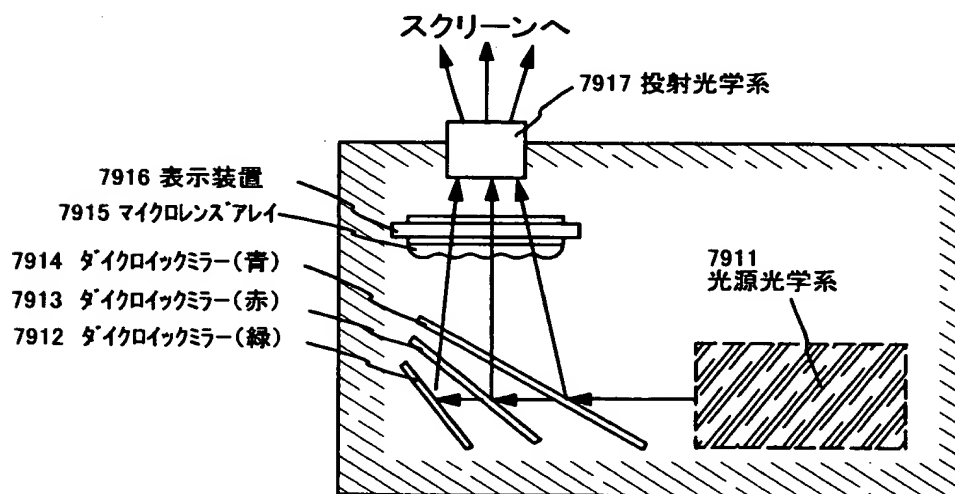
【図25】



(A) 光源光学系及び表示装置(単板式)



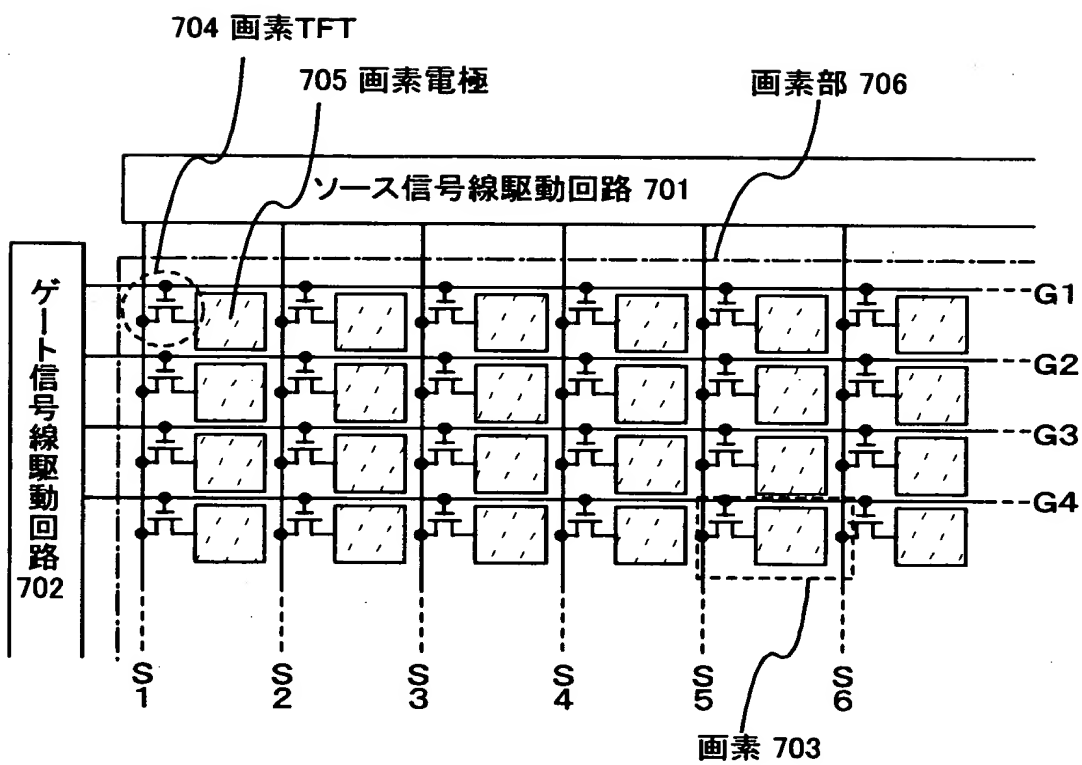
(B) 光源光学系及び表示装置(単板式)



(C) 光源光学系及び表示装置(単板式)

【図 2 6】

(A)



(B)

(1, 1)	(1, 2)	(1, 3)	(1, 4)	(1, 5)	(1, 6)
(2, 1)	(2, 2)	(2, 3)	(2, 4)	(2, 5)	(2, 6)
(3, 1)	(3, 2)	(3, 3)	(3, 4)	(3, 5)	(3, 6)
(4, 1)	(4, 2)	(4, 3)	(4, 4)	(4, 5)	(4, 6)

【図 27】

(A) フレーム反転駆動
における各画素の極性パターン

+	+	+	+	+	+
+	+	+	+	+	+
+	+	+	+	+	+
+	+	+	+	+	+

極性パターン①

-	-	-	-	-	-
-	-	-	-	-	-
-	-	-	-	-	-
-	-	-	-	-	-

極性パターン②



(B) ソースライン反転駆動
における各画素の極性パターン

+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-

極性パターン③

-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+

極性パターン④



(C) ゲートライン反転駆動
における各画素の極性パターン

+	+	+	+	+	+
-	-	-	-	-	-
+	+	+	+	+	+
-	-	-	-	-	-

極性パターン⑤

-	-	-	-	-	-
+	+	+	+	+	+
-	-	-	-	-	-
+	+	+	+	+	+

極性パターン⑥



(D) ドット反転駆動
における各画素の極性パターン

+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+

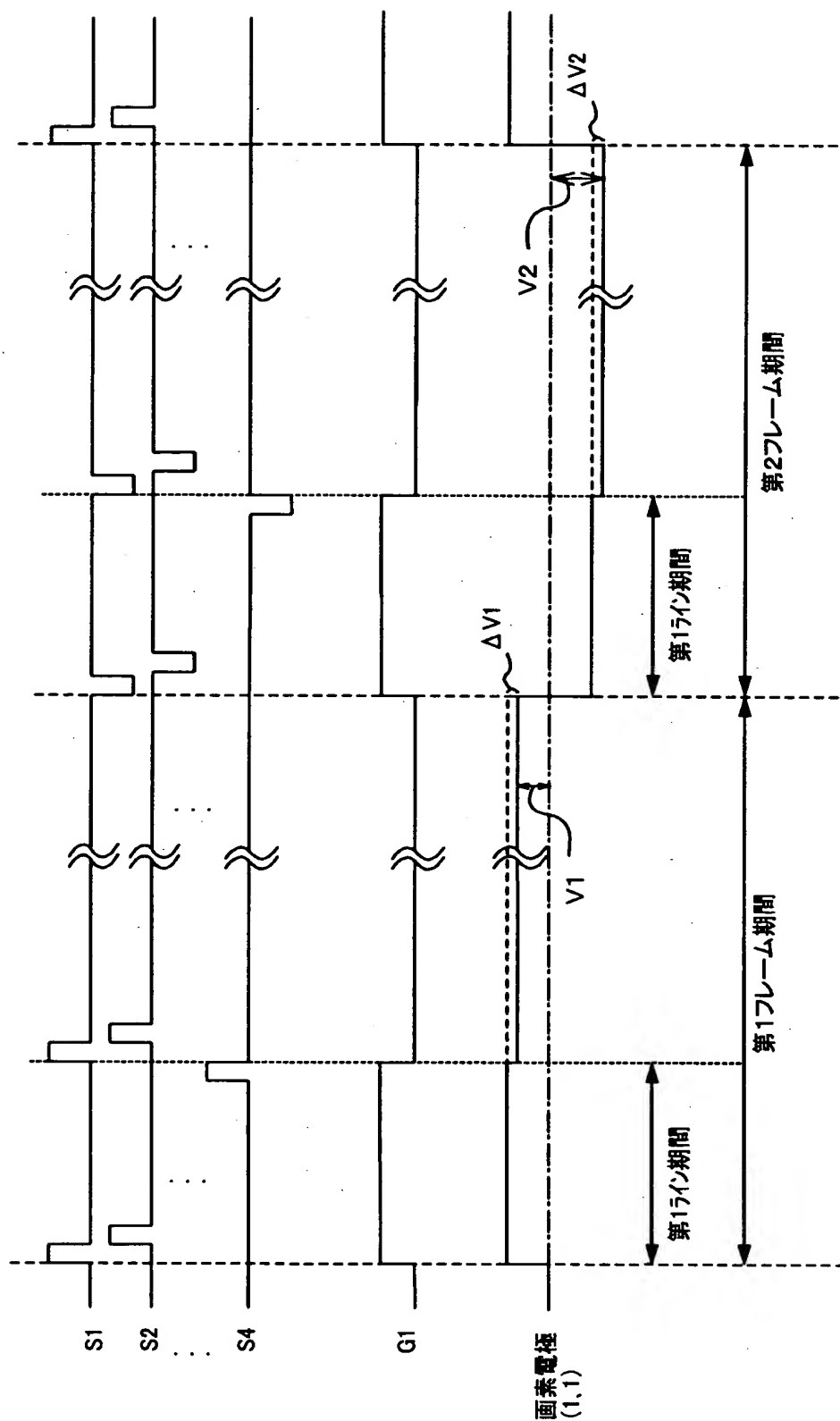
極性パターン⑦

-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-

極性パターン⑧



【図28】



【書類名】 要約書

【要約】

【課題】 観察者にチラツキや縦縞、横縞及び斜め縞が視認されにくい、鮮明で高精細な画像の表示を行うことができる半導体表示装置を提供する。

【解決手段】 半導体表示装置におけるフレーム変換部が有する R A M に外部から入力された映像信号を書き込み、書き込まれた映像信号を順に 2 回ずつ読み出す。 R A M に書き込んだ映像信号を 1 回読み出す期間が、 R A M に映像信号を書き込む期間よりも短い。そして連続する 2 つの各フレーム期間において、各画素に入力される表示信号の電位を対向電極の電位（対向電位）を基準として反転させ、連続する 2 つのフレーム期間において画素部に同じ映像を表示する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所